

## SEMICONDUCTOR MEMORY DEVICE AND SEMICONDUCTOR DATA PROCESSER

**Patent number:** JP9128970  
**Publication date:** 1997-05-16  
**Inventor:** MIZUNO HIROYUKI; TACHIBANA MASARU; ISHIBASHI KOICHIRO;  
OSADA KENICHI  
**Applicant:** HITACHI LTD  
**Classification:**  
- International: G11C11/41  
- european:  
**Application number:** JP19960123070 19960517  
**Priority number(s):**

**Also published as:**



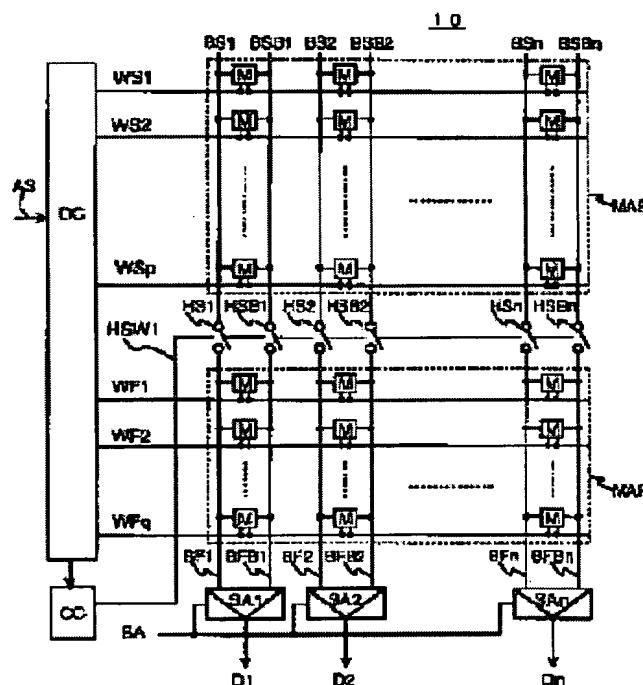
US5943284 (A)

[Report a data error](#)

## Abstract of JP9128970

**PROBLEM TO BE SOLVED:** To provide a memory structure and circuit which solves both the slowdown due to the lowering of voltage and the increase of circuit scale at the time when a hierarchical structure is used.

**SOLUTION:** Bit lines of two or more memory cell arrays (a first memory cell array MAF and a second memory cell array MAS) in which plural memory cells storing information are connected with hierarchical switches HS1 and HSB1 (amplifying function is allowed). And the sense amplifier SA1 is connected to the bit lines of the first memory cell array MAF. When three memory cell arrays (described as the first-, second- and third memory cells) are connected by hierarchical switches, the bit lines of the third memory cell array can be connected to a sense amplifier SA1T.



Data supplied from the [esp@cenet](http://esp@cenet) database - Patent Abstracts of Japan

(19) 日本国特許庁 (JP)

## (20) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-128970

(43) 公開日 平成9年(1997)5月16日

(61) Int CL\*  
G 11 C 11/41

検索記号

府内整理番号

P 1

G 11 C 11/34

技術表示箇所

S O L E

(21) 出願番号 特願平8-128970

(22) 出願日 平成8年(1996)5月17日

(31) 優先権主張番号 特願平7-229015

(32) 優先日 平7(1995)8月31日

(33) 優先権主張国 日本 (JP)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 水野 弘之

東京都国分寺市東武ケ丘1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 横 大

東京都国分寺市東武ケ丘1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 石橋 実一郎

東京都国分寺市東武ケ丘1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 特許士 小川 勝男

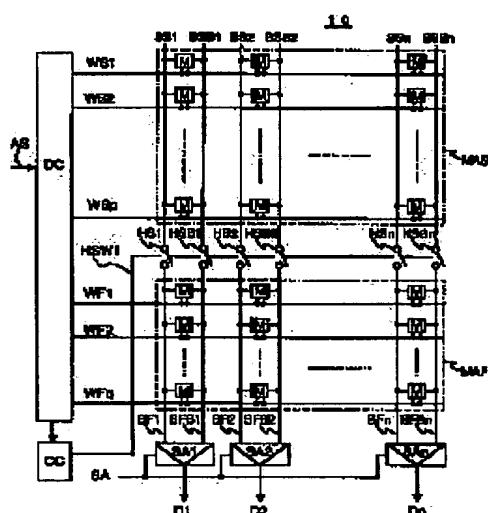
最終頁に続く

## (54) 【発明の名称】 半導体メモリ装置及び半導体データ処理装置

## (57) 【要約】

【課題】 低電圧化による速度低下と、階層化したときの回路規模の増大問題を共に解決するメモリ構造・回路を提供する。

【解決手段】 情報を記憶する複数のメモリセルがアレイ状に形成された2つ以上のメモリセルアレイ(第1メモリセルアレイMAFと第2メモリセルアレイMAS)のビット線を階層スイッチHS1, HS-B1(増幅機能があつてもよい)によって接続する。センスアンプSA1は第1メモリセルアレイMAFのビット線に接続する。3つのメモリセルアレイ(第1メモリセルアレイと第2メモリセルアレイと第3メモリセルアレイと記す)を階層スイッチによって接続した場合、第3メモリセルアレイのビット線にもセンスアンプSA1Tを接続してもよい。



【特許請求の範囲】

【請求項 1】複数のワード線と、第 1 のビット線対と、該複数のワード線と該第 1 のビット線対との交点に配置される複数のメモリセルとを含んで構成される第 1 のメモリアレイと、複数のワード線と、第 2 のビット線対と、該複数のワード線と該第 2 のビット線対との交点に配置される複数のメモリセルとを含んで構成される第 2 のメモリアレイと、上記第 2 のビット線対に出力される信号を増幅するセンスアンプと、上記第 1 のビット線対と上記第 2 のビット線対との接続を制御するスイッチ手段とを有し、上記第 1 のビット線対に出力される信号は、上記スイッチ手段及び上記第 2 のビット線対を介し上記センスアンプに伝達されるよう構成されたことを特徴とする半導体メモリ装置。  
【請求項 2】上記半導体メモリ装置は、所定のアドレス信号によって、上記第 1 のメモリアレイ及び上記第 2 のメモリアレイに含まれる複数のワード線の中から单一のワード線が選択されるよう構成されたことを特徴とする請求項 1 記載の半導体メモリ装置。  
【請求項 3】複数のワード線と、第 1 のビット線対と、該複数のワード線と該第 1 のビット線対との交点に配置された複数のメモリセルとを含んで構成される第 1 のメモリアレイと、複数のワード線と、第 2 のビット線対と、該複数のワード線と該第 2 のビット線対との交点に配置された複数のメモリセルとを含んで構成される第 2 のメモリアレイとを有し、上記第 2 のメモリアレイに含まれるワード線の数は、上記第 1 のメモリアレイに含まれるワード線の数に比べ少ない本数により構成され、上記第 1 のビット線対と上記第 2 のビット線対とは、制御信号によりその導通状態が制御されるスイッチ手段を介して接続されて構成されたことを特徴とする半導体メモリ装置。  
【請求項 4】上記第 1 のメモリアレイに含まれるワード線が選択状態とされる時間は、上記第 2 のメモリアレイに含まれるワード線が選択状態とされる時間に比べ長く設定されて構成されたことを特徴とする請求項 3 記載の半導体メモリ装置。  
【請求項 5】上記第 2 のビット線対の長さは、上記第 1 のビット線対の長さに比べ短いことを特徴とする請求項 3 記載の半導体メモリ装置。  
【請求項 6】複数のワード線からなる第 1 及び第 2 のワード線群と、複数のビット線対からなる第 1 及び第 2 のビット線対群と、上記第 1 のワード線群と上記第 1 のビット線対群との交

点及び上記第 2 のワード線群と上記第 2 のビット線対群との交点にマトリクス状に配置された複数のメモリセルと、

上記第 1 のビット線対群の各ビット線対と上記第 2 のビット線対群の各ビット線対とは第 1 のスイッチ手段を介して接続されてなること特徴とする半導体メモリ装置。

【請求項 7】上記第 2 のビット線対群の各ビット線対は第 2 のスイッチ手段を介してセンスアンプに接続されたり、

上記第 1 のビット線対群のビット線の信号は、上記第 2 のビット線対群のビット線を介して上記センスアンプに伝達されることを特徴とする請求項 6 記載の半導体メモリ装置。

【請求項 8】上記センスアンプは、上記第 2 のビット線対群の各ビット線に対応して複数設けられたことを特徴とする請求項 7 記載の半導体メモリ装置。

【請求項 9】上記第 2 のワード線群のワード線の数は、上記第 1 のワード線群のワード線の数より少ないことを特徴とする請求項 6 記載の半導体メモリ装置。

【請求項 10】第 1 及び第 2 及び第 3 のメモリセルアレイと比較器とを有し、

上記第 1 及び第 2 及び第 3 のメモリセルアレイはそれぞれ、複数のワード線と、複数のビット線対と、該複数のワード線と該複数のビット線対との交点に配置された複数のメモリセルとを有し、

上記第 1 のメモリセルアレイの各ビット線対と上記第 2 のメモリセルアレイの各ビット線対とはスイッチ手段を介して接続され、

上記比較器は、アドレス信号と上記第 3 のメモリセルアレイの記憶内容とを比較し、

上記スイッチ手段は、上記比較器での比較結果が一致しない場合に導通状態とされることを特徴とする半導体メモリ装置。

【請求項 11】第 1 及び第 2 及び第 3 のメモリセルアレイを有し、

上記第 1 及び第 2 及び第 3 のメモリセルアレイはそれぞれ、複数のワード線と、複数のビット線と、該複数のワード線と該複数のビット線の交点に配置された複数のメモリセルを含んで構成され、

上記第 1 のメモリセルアレイのビット線と上記第 2 のメモリセルアレイのビット線とはそれぞれ第 1 のスイッチ手段を介して接続され、

上記第 1 のメモリセルアレイのビット線と上記第 3 のメモリセルアレイのビット線とはそれぞれ第 2 のスイッチ手段を介して接続されてなることを特徴とする半導体メモリ装置。

【請求項 12】上記半導体メモリ装置はさらに、上記第 2 のメモリセルアレイのビット線に対応して設けられた複数のセンスアンプ回路を有することを特徴とする請求項 11 に記載の半導体メモリ装置。

【請求項13】上記第2のメモリセルアレイに含まれるワード線の数は、上記第1のメモリセルアレイに含まれるワード線の数に比べ少なく構成されたことを特徴とする諸請求項12に記載の半導体メモリ装置。

【請求項14】上記半導体メモリ装置はさらに、上記第2のメモリセルアレイに含まれるビット線と電気的に接続された第1のセンスアンプと、上記第3のメモリセルアレイに含まれるビット線と電気的に接続された第2のセンスアンプとを有することを特徴とする諸請求項11記載の半導体メモリ装置。

【請求項15】上記第1のメモリセルアレイに含まれるメモリセルの情報は、上記第1のスイッチ手段を介して上記第1のセンスアンプに伝達され、あるいは、上記第2のスイッチ手段を介して上記第2のセンスアンプに伝達されることを特徴とする諸請求項14記載の半導体メモリ装置。

【請求項16】上記第2のメモリセルアレイに含まれる各ビット線の長さは、上記第1のメモリセルアレイに含まれる各ビット線の長さより短く構成され、上記第3のメモリセルアレイに含まれる各ビット線の長さは、上記第1のメモリセルアレイに含まれる各ビット線の長さより短く構成されたことを特徴とする諸請求項14記載の半導体メモリ装置。

【請求項17】複数の第1のワード線と、第1のビット線対と、該複数のワード線と該第1のビット線対との交点に配置される複数のメモリセルとを含んで構成される第1のメモリアレイと、複数の第2のワード線と、第2及び第3のビット線対と、該複数のワード線と該第2及び第3のビット線対との交点に配置され、上記第2及び第3のビット線対に接続される複数のデュアルポートメモリセルとを含んで構成される第2のメモリアレイと、

上記第1のビット線対と上記第2のビット線対との間に接続された第1のスイッチ手段と、上記第1のビット線対と上記第3のビット線対との間に接続された第2のスイッチ手段と、上記第2のビット線対の出力を増幅する第1のセンスアンプ回路と、上記第3のビット線対の出力を増幅する第2のセンスアンプ回路とを有することを特徴とする半導体メモリ装置。

【請求項18】複数の第1のワード線と、第1のビット線対と、該複数のワード線と該第1のビット線対との交点に配置される複数のメモリセルとを含んで構成される第1のメモリアレイと、複数の第2のワード線と、第2のビット線対と、該複数のワード線と該第2のビット線対との交点に配置される複数のメモリセルとを含んで構成される第2のメモリアレイと、上記第1のビット線対と第1のスイッチ手段を介して接

続され、上記第2のビット線対と第2のスイッチ手段を介して接続される第3のビット線対とを有し、

上記第2のビット線対の長さは上記第1のビット線対の長さに比べ短く構成されたことを特徴とする半導体メモリ装置。

【請求項19】上記半導体メモリ装置はさらにセンスアンプを有し、上記センスアンプは上記第3のビット線対と電気的に接続され、

上記第1又は第2のビット線対の出力は上記第3のビット線対を介して上記センスアンプに伝達され増幅されるよう構成されたことを特徴とする諸請求項18に記載の半導体メモリ装置。

【請求項20】第1、第2、第3及び第4のメモリセルアレイと比較器とを有し、

上記第1、第2、第3及び第4のメモリセルアレイはそれぞれ、複数のワード線と、複数のビット線対と、該複数のワード線と該複数のビット線対との交点に配置された複数のメモリセルとを有し、

上記第1のメモリセルアレイの各ビット線対と上記第2のメモリセルアレイの各ビット線対とは第1のスイッチ手段を介して接続され、

上記第3のメモリセルアレイの各ビット線対と上記第4のメモリセルアレイの各ビット線対とは第2のスイッチ手段を介して接続され、

アドレス信号と上記第2のメモリセルアレイの記憶内容とを上記比較器で比較し、上記比較器での比較結果が一致しない場合には上記第1及び第2のスイッチ手段は導通状態とされることを特徴とする半導体装置。

【請求項21】CPUと、前記CPUにバスを介して接続される記憶装置とを單一の半導体基板上に形成する半導体データ処理装置であって、

前記記憶装置は、同一アドレスに複数のアドレスデータを格納する第1のタグアレイと、同一アドレスに複数のデータを格納する第1のデータアレイと、同一アドレスに複数のアドレスデータを格納する第2のタグアレイと、同一アドレスに複数のデータを格納する第2のデータアレイと、前記バスから入力されるアドレス信号と前記第1又は第2のタグアレイに格納されるアドレスデータとを比較する複数の比較器とを有し、

前記第1のタグアレイのビット線と前記第2のタグアレイのビット線とは第1のスイッチ手段を介して接続され、

前記第1のデータアレイのビット線と前記第2のデータアレイのビット線とは第2のスイッチ手段を介して接続され、

前記第1のタグアレイ及び第1のデータアレイのビット線にセンスアンプがそれぞれ接続され、

前記第1のデータアレイのビット線に接続されるセンスアンプの出力は前記バスに接続されていることを特徴と

する半導体データ処理装置。

【請求項2'2】請求項2'1に記載の第1及び第2のタグアレイと第1及び第2のデータアレイを構成するメモリセルは、入出力が交差接続された一対のCMOSインバータ回路と該インバータ回路の出力を前記ビット線と選択的に接続する一対のトランジスタ回路とから構成されることを特徴とする半導体データ処理装置。

【発明の詳細な説明】

【00'01】

【発明の属する技術分野】本発明は半導体集積回路装置に係わり、特に高速かつ低消費電力動作に適した半導体メモリ装置及びそれを用いたマイクロコンピュータやマイクロプロセッサ等の半導体データ処理装置に関するもの。

【00'02】

【従来の技術】低消費電力化技術は、特に、PDA(Personal Digital Assistant)や携帯用パソコン等の携帯情報機器においてはバッテリー寿命を延ばす上でなくてはならないものである。また、ハイエンドマイクロコンピュータにおいても、電力消費からくる発熱の問題はデバイスの信頼性を劣化するという意味で重要なになってきている。

【00'03】メモリ回路の低消費電力化技術としては、例えば、1990 シンポジウムオン ブイ・エル・エス・アイ サーキット・ダイジェスト オブ テクニカルペーパーズ、第53頁から第54頁 (1990 Symposium on VLSI Circuit, Digest of Technical Papers (1990) pp. 53-54) (以下、従来技術(1)という。) に記載されているように、電源電圧を低くするという方式が知られている。

【00'04】また、1994 アイ・イー・イー・アイ・シンポジウム オン ロウ パワーエレクトロニクス ダイジェスト オブ テクニカル ペーパーズ、第16頁から第17頁 (1994 IEEE Symposium on Low Power Electronics, Digest of Technical Papers (1994) pp. 16-17) (以下、従来技術(2)という。) に記載されているように、メモリを多層に階層化したアーキテクチャで、容量の小さいメモリを複数置く方法がある。一般に記憶容量の小さいメモリは、ビット線等の負荷抵抗及び負荷容量を小さく構成できるため小さい消費電力で動作可能である。従って、この従来例では、記憶容量の小さいメモリを分散して複数用いることでメモリの低消費電力化を図っている。

【00'05】

【発明が解決しようとする課題】マイクロコンピュータやマイクロプロセッサ等の半導体データ処理装置に内蔵されるメモリは大容量化の方向にある。その結果、内蔵メモリのメモリアレイのビット線に接続されるメモリセ

ルの数が多くなり(負荷が大きくなり)、アクセスタイムが増大する。従って、アクセスタイムを減少するためには、メモリセルの電流を増大させる必要がある。メモリセルの電流を増大させることは、MOS(Metal-Oxide-Semiconductor)トランジスタのしきい値電圧を下げることで実現できる。

【00'06】しかし、しきい値電圧を下げるには、電源電圧が1V等の低電圧領域においては、下記の問題点があることが本願発明者によって明らかにされた。

【00'07】図1'4には、電源電圧が1Vの場合のしきい値電圧(Vth)が0.5V及び0.3Vについてのメモリセルの静的雑音余裕が示されている。図1'4に示されるように、Vth=0.5Vで静的雑音余裕が0.4V、Vth=0.3Vで静的雑音余裕が0.25Vである。すなわち、しきい値電圧を0.2V減少させると静的雑音余裕が3.8%減少する。そのため、信頼性の観点からメモリセルを構成するMOSトランジスタのしきい値電圧を下げるとはできないという問題点がある。

【00'08】さらに、低電圧動作において、大容量のメモリを用いると、下記の問題点があることが本願発明者によって明らかにされた。

【00'09】図1'5には、16Kバイトの2次キャッシュメモリ(L2-cache)と2Kバイトの1次キャッシュメモリ(L1-cache)における、読み出し速度の電源電圧依存性が示される。円グラフは、ビット線対に所定の電位差が生じるまでの時間(センサアンプが起動可能までの時間、以下、メモリセル時間という。)が全体の読み出し時間に占める割合(メモリセル電流能力を表している)を示している。

【00'10】電源電圧が2.5V等の比較的高い電圧領域においては、図1'5に示すように1次キャッシュメモリと2次キャッシュメモリのメモリセル時間が占める割合は30%以下と少ない。しかし、電源電圧が1V等の低電圧領域においては、図1'5に示すように2次キャッシュメモリのメモリセル時間が占める割合が50%を越えてしまう。つまり、電源電圧が1V等の低電圧領域での読み出し時間を改善するためには、メモリセルの電流を大きくする必要がある。しかし、前述したようにメモリセルを構成するMOSトランジスタのしきい値電圧を下げるとはできない。

【00'11】従来技術(1)では、電源電圧を1Vで動作可能なメモリについて記載されているが、本願発明者によって見いたされた前記課題の記載はない。

【00'12】また、従来技術(2)に述べたように、記憶容量の小さいメモリを複数配置する方法では、個々のメモリに対しデコーダ等の周辺回路が必要となり回路規模が増大するといった問題が生ずる。また、メモリアレイ自身の消費電力は低減できるがメモリの複数配置に伴って増加した周辺回路等の消費電力が増加するといった問題が生じる。

【0013】従って、従来知られている技術では、低消費電力化、動作の高速化、回路規模の縮小といった課題とともに解決することは困難である。

【0014】本発明の目的は、高速かつ低消費電力で動作する半導体メモリ装置及びそれを内蔵した半導体データ処理装置を実現することにある。本発明の別の目的は、低電圧化による速度低下の問題を解決するメモリ構造・回路を提供することにある。

【0015】本発明の別の目的は、メモリを階層化したときの回路規模の増大問題を解決するメモリ構造・回路を提供することにある。

【0016】本発明の別の目的は、マイクロプロセッサ等のデータ処理装置の内蔵に適したキャッシュメモリを提供することにある。

【0017】本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明かになるであろう。

【0018】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0019】(1) 半導体メモリ装置は、複数のワード線 (WS 1等) と、第1のビット線対 (BS 1、 BSB 1等) と、該複数のワード線と該第1のビット線対との交点に配置される複数のメモリセル (M) とを含んで構成される第1のメモリアレイ (MAS) と、複数のワード線 (WF 1等) と、第2のビット線対 (BF 1、 BFB 1等) と、該複数のワード線と該第2のビット線対との交点に配置される複数のメモリセル (M) とを含んで構成される第2のメモリアレイ (MAF) と、前記第2のビット線対に出力される信号を増幅するセンスアンプ (SA 1等) と、前記第1のビット線対と上記第2のビット線対との接続を制御するスイッチ手段 (HS 1等) とを有し、前記第1のビット線対に出力される信号は、前記スイッチ手段及び前記第2のビット線対を介し前記センスアンプに伝達されるよう構成される。

【0020】(2) 半導体メモリ装置は、複数のワード線 (WS 1等) と、第1のビット線対 (BS 1、 BSB 1等) と、該複数のワード線と該第1のビット線対との交点に配置された複数のメモリセル (M) とを含んで構成される第1のメモリアレイ (MAS) と、複数のワード線 (WF 1等) と、第2のビット線対 (BF 1、 BFB 1等) と、該複数のワード線と該第2のビット線対との交点に配置された複数のメモリセル (M) とを含んで構成される第2のメモリアレイ (MAF) とを有し、前記第2のメモリアレイに含まれるワード線の数は、前記第1のメモリアレイに含まれるワード線の数に比べ少ない本数により構成され、前記第1のビット線対と前記第2のビット線対とは、制御信号 (HSW 1) によりその導通状態が制御されるスイッチ手段 (HS 1等) を介

して接続されて構成される。

【0021】(3) 半導体メモリ装置は、複数のワード線からなる第1及び第2のワード線群と、複数のビット線対からなる第1及び第2のビット線対群と、前記第1のワード線群と前記第1のビット線対群との交点及び上記第2のワード線群と上記第2のビット線対群との交点にマトリクス状に配置された複数のメモリセル (M) と、前記第1のビット線対群の各ビット線対 (BS 1、 BSB 1等) と前記第2のビット線対群の各ビット線対 (BF 1、 BFB 1等) とは第1のスイッチ手段 (HS 1等) を介して接続される。

【0022】(4) 半導体メモリ装置は、第1、第2及び第3のメモリセルアレイ (DAS、 DAF、 TAF) と比較器 (CMP 1) とを有し、前記第1、第2及び第3のメモリセルアレイはそれぞれ、複数のワード線と、複数のビット線対と、該複数のワード線と該複数のビット線対との交点に配置された複数のメモリセルとを有し、前記第1のメモリセルアレイの各ビット線対と前記第2のメモリセルアレイの各ビット線対とはスイッチ手段 (DH) を介して接続され、前記比較器は、アドレス信号と前記第3のメモリセルアレイの記憶内蔵とを比較し、前記スイッチ手段は、前記比較器での比較結果が一致しない場合に導通状態とされるで構成される。

【0023】(5) 半導体メモリ装置は、第1及び第2及び第3のメモリセルアレイ (MAS、 MAF、 MAT) を有し、前記第1及び第2及び第3のメモリセルアレイはそれぞれ、複数のワード線 (WS 1、 WF 1、 WT 1等) と、複数のビット線 (BS 1、 BF 1、 BT 1等) と、該複数のワード線と該複数のビット線の交点に配置された複数のメモリセル (M) を含んで構成され、前記第1のメモリセルアレイのビット線と前記第2のメモリセルアレイのビット線とはそれぞれ第1のスイッチ手段 (HS 1等) を介して接続され、前記第1のメモリセルアレイのビット線と前記第3のメモリセルアレイのビット線とはそれぞれ第2のスイッチ手段 (HT 1等) を介して接続されて構成される。

(6) 半導体メモリ装置は、複数の第1のワード線 (WS 1等) と、第1のビット線対 (BS 1、 BSB 1等) と、該複数のワード線と該第1のビット線対との交点に配置された複数のメモリセル (M) とを含んで構成される第1のメモリアレイ (MAS) と、複数の第2のワード線 (WF 1等) と、第2及び第3のビット線対 (BF 1、 BFB 1、 BF 1T、 BFB 1T等) と、該複数のワード線と該第2及び第3のビット線対との交点に配置され、上記第2及び第3のビット線対に接続される複数のデュアルポートメモリセル (D) とを含んで構成される第2のメモリアレイ (MAF) と、前記第1のビット線対と上記第2のビット線対との間に接続された第1のスイッチ手段 (HS 1等) と、前記第1のビット線対と前記第3のビット線対との間に接続された第2のスイッ

チ手段 (H.U.1 等) と、前記第 2 のビット線対の出力を増幅する第 1 のセンスアンプ回路 (SA 1 等) と、前記第 3 のビット線対の出力を増幅する第 2 のセンスアンプ回路 (SA 1 U 等) を有する。

【0024】(7) 半導体メモリ装置は、複数の第 1 のワード線 (WS 1 等) と、第 1 のビット線対 (SS 1, SSB 1 等) と、該複数のワード線と該第 1 のビット線対との交点に配置される複数のメモリセル (M) を含んで構成される第 1 のメモリアレイ (MAS) と、複数の第 2 のワード線 (WF 1 等) と、第 2 のビット線対 (SF 1, SF B 1 等) と、該複数のワード線と該第 2 のビット線対との交点に配置される複数のメモリセル (M) を含んで構成される第 2 のメモリアレイ (MA F) と、前記第 1 のビット線対と第 1 のスイッチ手段 (HF 1 等) を介して接続され、上記第 2 のビット線対と第 2 のスイッチ手段 (HE 1 等) を介して接続される第 3 のビット線対 (BF 1, BF B 1 等) を有し、前記第 2 のビット線対の長さは前記第 1 のビット線対の長さに比べて短く構成される。

【0025】(8) 半導体装置は、第 1、第 2、第 3 及び第 4 のメモリセルアレイと比較器とを有し、上記第 1、第 2、第 3 及び第 4 のメモリセルアレイはそれぞれ、複数のワード線と、複数のビット線対と、該複数のワード線と該複数のビット線対との交点に配置された複数のメモリセルとを有し、上記第 1 のメモリセルアレイの各ビット線対と上記第 2 のメモリセルアレイの各ビット線対とは第 1 のスイッチ手段を介して接続され、上記第 3 のメモリセルアレイの各ビット線対と上記第 4 のメモリセルアレイの各ビット線対とは第 2 のスイッチ手段を介して接続され、アドレス信号と上記第 2 のメモリセルアレイの記憶内容とを上記比較器で比較し、上記比較器での比較結果が一致しない場合には上記第 1 及び第 2 のスイッチ手段は導通状態とされるように構成される。

【0026】(9) 半導体データ処理装置は、CPU と、前記 CPU にバスを介して接続される記憶装置とを單一の半導体基板上に形成し、前記記憶装置は、同一アドレスに複数のアドレスデータを格納する第 1 のタグアレイと、同一アドレスに複数のデータを格納する第 1 のデータアレイと、同一アドレスに複数のアドレスデータを格納する第 2 のタグアレイと、同一アドレスに複数のデータを格納する第 2 のデータアレイと、前記バスから入力されるアドレス信号と前記第 1 又は第 2 のタグアレイに格納されるアドレスデータとを比較する複数の比較器とを有し、前記第 1 のタグアレイのビット線と前記第 2 のタグアレイのビット線とは第 1 のスイッチ手段を介して接続され、前記第 1 のデータアレイのビット線と前記第 2 のデータアレイのビット線とは第 2 のスイッチ手段を介して接続され、前記第 1 のタグアレイ及び第 1 のデータアレイのビット線にセンスアンプがそれぞれ接続され、前記第 1 のデータアレイのビット線に接続される

センスアンプの出力は前記バスに接続されるように構成される。

【0027】(1) スイッチ手段 (HS 1 等) を導通状態にすることによって、大容量のメモリアレイとして使用できる。スイッチ手段 (HS 1 等) を遮断状態することによって、第 1 のメモリアレイ (MA F) のビット線が切り放され、第 2 のメモリアレイ (MAS) のビット線の負荷を軽くすることができるので、第 2 のメモリアレイ (MA F) のメモリセルは第 1 のメモリアレイ (MAS) のメモリセルより速く読み出せる。読み出す頻度の高い情報を第 2 のメモリアレイ (MA F) 中に格納しておけば、その情報を選択的に速く読み出せる。また、ビット線の負荷が小さいので、第 2 のメモリアレイ (MA F) 内のメモリセルをアクセスするのに必要な消費電力は、第 1 のメモリアレイ (MAS) 内のメモリセルをアクセスするときよりも小さく抑えることができる。また、第 2 のメモリアレイにアクセス頻度の大きいデータを格納するようにすれば、アクセス頻度を考慮した実効的な消費電力を大幅に低減できる。

【0028】(2) 第 2 のメモリアレイ (MA F) に含まれるワード線の数を第 1 のメモリアレイ (MAS) に含まれるワード線の数より少なくすると、第 2 のメモリアレイ (MA F) の記憶容量が小さくなる。第 1 のメモリアレイ (MAS) 内の情報は第 2 のメモリアレイ (MA F) 内の情報を包含するようにすれば、第 2 のメモリアレイ (MA F) を第 1 のメモリアレイ (MAS) のキャッシュメモリのように用いることができ、第 1 のメモリアレイ (MAS) 内の情報のうち使用頻度の高い情報を第 2 のメモリアレイ (MA F) 内に格納すれば、実効的に高速化でき、消費電力も低減できる。

【0029】(3) 第 2 のメモリアレイ (DA F) を 1 次キャッシュメモリのデータアレイに用い、第 1 のメモリアレイ (DAS) を 2 次キャッシュメモリのデータアレイ又は主記憶として用い、第 3 のメモリアレイ (TA F) を 1 次キャッシュメモリのタグアレイに用い、第 3 のメモリアレイ (TA F) に所望のアドレスデータがない場合に、スイッチ手段を導通状態にすることによって、2 次キャッシュメモリ又は主記憶のデータを読み出すことができる。

【0030】(4) 第 3 のメモリアレイ (MAT)、第 1 のメモリアレイ (MAS)、第 2 のメモリアレイ (MA F) の順に第 2 のスイッチ手段 (HT 1 等) と第 1 のスイッチ手段 (HS 1 等) とで各メモリアレイを接続し、第 1 のメモリアレイ (MAS) と第 2 のメモリアレイ (MA F) との間の第 1 のスイッチ手段 (HS 1 等) を遮断状態にすることにより、第 2 のメモリアレイ (MA F) からの読み出しは、第 1 のメモリアレイ (MAS)、第 3 のメモリアレイ (MAT) からの読み出しよりも速く読み出せる。また、第 3 のメモリアレイと第 1 のメモリアレイとの間の第 2 のスイッチ手段 (HT 1

等)を遮断状態にし、第1のメモリアレイ(MAS)と第2のメモリアレイ(MAF)との間の第1のスイッチ手段(HS1等)を導通状態にすることにより、第1のメモリアレイ(MAS)は、第3のメモリアレイ(MAT)からの読み出しそよも速く読み出せる。アクセス頻度の高い情報を、第2のメモリアレイ(MAF)や第1のメモリアレイ(MAS)に格納しておけば高速な読み出しが実現できる。消費電力についても、第2のメモリアレイ(MAF)、第1のメモリアレイ(MAS)、第3のメモリアレイ(MAT)の順番で、第2のメモリアレイ(MAF)へのアクセスが一番小さくなる。

(5) 第1のメモリアレイ(MAS)内の情報に、第2のメモリアレイ(MAF)内の情報の包含関係を持たせ、第3のメモリアレイ(MAT)にセンスアンプ(SA1T)を接続すると、デュアルポート化できる。シングルポートのメモリセルMを用いて高確率にデュアルポートアクセスできる。これはまたキャッシュメモリとして用いることができ、デュアルポートキャッシュメモリも実現できる。第2のメモリアレイ(MAF)のビット線は第1のメモリアレイ(MAS)のビット線と分離でき、第3のメモリアレイ(MAT)のビット線は第1のメモリアレイ(MAS)のビット線と分離できるので、消費電力についても低減でき、読み出し速度に対しても、第2のメモリアレイ(MAF)および第3のメモリアレイ(MAT)へのアクセスは高速に行える。さらにこのデュアルポートキャッシュメモリの二つのポートをインストラクションバスとデータバスに接続すれば、命令キャッシュとデータキャッシュを兼ね備えたキャッシュメモリが実現でき、実効的にセバレートキャッシュと同様のパフォーマンスをユニファイキャッシュで実現できる。

【0031】(6) 第1のメモリアレイ(MAS)とデュアルポートメモリの第2のメモリアレイ(MAF)とを第1のスイッチ手段(HS1等)と第2のスイッチ手段(HS1等)で接続する。第2のメモリアレイ(MAF)をデュアルポート化しているので、メモリアクセスの局所性より、ほとんどのアクセスはデュアルポート構造になっている第2のメモリアレイ(MAF)へのアクセスになり、第2のメモリアレイ(MAF)の容量は小さく抑えることができるため、多ポートメモリセルによる面積増加を抑えることができる。

【0032】(7) 第1のメモリアレイ(MAS)と第2のメモリアレイ(MAF)を共通のビット線にそれぞれ、第1のスイッチ手段(HF1)と第2のスイッチ手段(HE1)によって接続され、第2のメモリアレイ側の共通ビット線にセンスアンプ(SA1)が接続されるため、第2のスイッチ手段を閉鎖すれば、第2のメモリアレイのビット線の負荷がなくなるので、第1のメモリアレイの読み出しが速くなる。

【0033】(8) 第2のメモリアレイ(TAF)と第

1のメモリアレイ(TAS)をタグアレイに用い、第4のメモリアレイ(DAF)と第3のメモリアレイ(DAS)をデータアレイに用いれば、第2のメモリアレイ(TAF)、第4のメモリアレイ(DAF)を第1メモリアレイ(TAS)、第3のメモリアレイ(DAS)のキャッシュメモリとして動作させることができ、1次キャッシュメモリ(TAF, DAF)と2次キャッシュメモリ(TAS, DAS)を備えたキャッシュメモリが実現できる。1組のタグアレイとデータアレイを用いれば、ダイレクトマップ方式のキャッシュメモリが実現でき、複数組のタグアレイとデータアレイを用いれば、セット・アソシティブ方式のキャッシュメモリが実現できる。

#### 【0034】

【発明の実施の形態】以下、図を参照して本発明の具体的な実施例を説明する。

【0035】《第1の実施例》図1は本発明の第1の実施例であるメモリ装置の構成を示す。図1に示したメモリ装置10は、単結晶シリコンなどで形成された単一の半導体基板上に形成されているもので、特に制限されないが、樹脂(プラスチック)又はセラミックを用いることにより单一のパッケージに封入されるものである。なお、第2から第10の実施例のメモリ装置も、第1の実施例同様に単結晶シリコンなどで形成された単一の半導体基板上に形成され、樹脂(プラスチック)又はセラミックを用いることにより单一のパッケージに封入される。樹脂封止するためには、消費電力が1W以下が望ましいが、最大でも1.5W以下である必要がある。樹脂封止が可能であれば、製造コスト及び販売価格を低くすることができる。

【0036】Mはメモリセルであり、MAS、MAFは複数のメモリセルがマトリックス状に配置されたメモリセルアレイである。特に制限されないが、本実施例のメモリセルMはいわゆるステイック型のメモリセルであり入出力が交差接続された一対のインバータ回路と後述するワード線の選択状態によりインバータ回路の出力を後述するビット線と選択的に接続する一対のスイッチ手段とから構成されているものである。メモリセルMを構成するインバータ回路は駆動用MISトランジスタと高抵抗多結晶シリコンまたはMIS(Metal-Insulator-Semiconductor)トランジスタにより構成された負荷素子により構成し、スイッチ手段はMISトランジスタにより構成された転送トランジスタにより構成することができる。CPU(Central Processing Unit)等と同一の半導体基板上に形成するいわゆるオンチップのメモリ装置の場合には、他の論理回路等を構成するトランジスタとの製造プロセスの整合性から半導体基板に形成したCMOSトランジスタによりメモリセルを構成するいわゆる完全CMOS型のメモリセルを用いることが好適である。また、CPU等とは別のチップ上にメモリ機能に必要な

回路のみで構成されるいわゆるオフチップのメモリ装置を構成する場合には、集成度の観点から、高抵抗を負荷素子に用いるメモリセルや多結晶シリコンにより形成したP-MOS(P-channel MOS)を負荷素子に用いるメモリセルが好適である。さらにまた、電源電圧が1V等の低電圧では、しきい電圧によるハイレベルの電位の低下を防ぐためいわゆる完全CMOS型のメモリセルを用いることが好適である。

【0037】また、WS1からWSp及びWF1からWFqはワード線であり、オフチップのメモリ装置の場合は、メモリ装置の外部から図示しないアドレス入力端子に印加されたアドレス信号ASがデコーダ回路DCによりデコードされ、アドレス信号ASに対応したワード線(WS1からWFqの中の一本)が選択状態に駆動されるよう構成されている。オンチップのメモリ装置の場合は、チップ内のアドレスバスに印加されたアドレス信号ASがデコーダ回路DCに入力される。

【0038】また、BS1からBSBn及びBF1からBFBnはビット線であり、同一のメモリセルに一対のビット線が接続されている。メモリアレイMASを構成するビット線(BS1からBSBn)は後述する階層スイッチHSB1からHSBnを介して、メモリアレイMAFを構成するビット線(BF1からBFBn)に選択的に接続される。

【0039】また、図示していないがビット線対BS1からBSBn及びBF1からBFBnにはそれぞれ各ビット線対を電源電圧レベルに充電するプリチャージ手段と各ビット線対を短絡してその電位差を縮小するイコライズ手段などが接続され、情報の読み出し前に各ビット線対の電位を揃え、読み出し動作を高速化できるよう構成されている。

【0040】また、本実施例においては、多ビット(nビット)を同時に読み出す構成としているため、各ビット線対とセンスアンプとの接続を制御するカラム選択スイッチは図示していない。これに限らず、複数のビット線対によってセンスアンプを共有する場合には、複数のビット線対を共通データ線対により共通のセンスアンプに接続し、各ビット線対の接続をカラム選択スイッチによって選択するよう構成することも可能である。また、SA1からSA<sub>n</sub>は一対の入力端子が一対のビット線に接続されるセンスアンプである。本実施例においては、選択されたワード線に接続されたメモリセル全てからデータを読み出す形式をとるため、センスアンプは各ビット線対ごとに配置されている。メモリセルに記憶されたデータを読み出す場合には、選択されたワード線に接続されたメモリセルのデータがビット線対を通してセンスアンプに送られ、センスアンプがこのデータを増幅し出力する。オフチップのメモリ装置の場合は、センスアンプの出力は直接メモリ装置の外に他のセンスアンプ又は出力バッファ回路及び出力端子を介して送出され

る。オンチップのメモリ装置の場合は、センスアンプの出力はバッファ回路等を介してチップ内のデータバスに送出される。これらセンスアンプは、その動作による消費電力を低減させるためセンスアンプ起動信号SAによりその活性・非活性状態が制御されている。

【0041】また、HS1からHSnおよびHSB1からHSBnは階層スイッチであり、メモリアレイMASを構成するビット線BS1からBSBnとメモリアレイMAFを構成するビット線BF1からBFBnとの間に配置され、それぞれのビット線を選択的に接続するものである。この階層スイッチは例えば、M1Sトランジスタを用いてそのソース電極又はドレイン電極の一方をメモリアレイMAS側のビット線に接続し、ソース電極又はドレイン電極の他方をメモリアレイMAF側のビット線に接続し、制御電極であるゲート電極に後述する制御信号である階層指定信号HSW1が印加されるように構成する。また、階層指定信号HSW1はメモリアレイMAS側のビット線とメモリアレイMAF側のビット線との接続を制御する信号である。特に制限されないが、この階層指定信号HSW1はデコーダ回路DCの出力に基づいて制御回路CCから供給される。

【0042】階層指定信号HSW1がアサートされ各階層スイッチが導通状態とされると、階層スイッチHS1からHSnおよびHSB1からHSBnはオン状態になり、ビット線BS1からBSBnはビット線BF1からBFBnに接続され、ビット線BSB1からBSBnはビット線BF1からBFBnに接続され、メモリセルアレイMASとメモリセルアレイMAFが接続される。階層指定信号HSW1がネゲートされ、各階層スイッチが非導通状態とされると、階層スイッチHS1からHSnおよびHSB1からHSBnはオフ状態になり、メモリセルアレイMASとメモリセルアレイMAFは切り放される。メモリセルアレイMAFのビット線BF1、BFB1からBFBn、BFBnはセンスアンプSA1からSA<sub>n</sub>に接続されている。

【0043】以下、図2のタイミングチャートを用いて、図1の実施例メモリ装置10の動作を詳しく記述する。

【0044】図2(e)にメモリセルアレイMAF内の情報を読み出すときのタイミングチャートを示している。メモリアレイMAFの情報を読み出す場合には、メモリセルMAS内の情報を参照する必要はないため、階層指定信号HSW1は始めからネゲートされ、各階層スイッチHS1からHSBnは非導通状態とされる。なお、本実施例においては、階層指定信号HSW1は論理“0”レベルにてネゲートとされる。この状態で、所定のアドレス信号に従いメモリアレイMAF内のワード線WF1からWFqから一つのワード線が選択される(図2ではワード線WF1)。従って、メモリアレイMAF側に所望のデータが存在しない場合にのみメモリアレイ

MA S側が選択されるため、消費電力を削減することができる。なお、本実施例においては、MA F側のワード線とMA S側のワード線とは同時に選択されないよう構成しているが、後述するようにMA F側のワード線とMA S側のワード線とを同時に選択するよう構成することもできる。同時に選択するよう構成の場合には、MA F側に所望のデータが存在しない場合でも、既にMA S側のワード線が選択されているため、高速な読み出し動作を達成することができる。

【0045】選択されたワード線に接続されたメモリセルMは上述した転送トランジスタが導通状態となり記憶された情報をビット線に出力する。ビット線BS 1からBS Bn及びBF 1からBF Bnは読み出し期間の前に予め電源電圧であるハイレベルにプリチャージされているため、ワード線により選択されていないメモリセルMに接続されたビット線（メモリアレイMASのビット線）の電位は電源電圧のまま保たれている（図2においてBS 1、BS B 1を例示）。

【0046】メモリセルアレイMA Fを構成するビット線（例えば、BF 1、BF B 1）の電位はワード線WF 1が選択された後に、メモリセルMに記憶された情報に応じて一方はハイレベルのままとされ他方は徐々にロウレベルに向け低下する。（図2ではBF 1、BF B 1）。次にセンスアンプ起動信号SAをアサートし増幅動作可能な活性状態にし、センスアンプSA 1からSA nを起動すると、前記メモリセル情報（図2（a）では、ビット線BF 1とBF B 1の電位差）が増幅されデータ出力D 1からD nに出力される。

【0047】図2（b）はメモリセルアレイMAS内から情報を取り出す場合のタイミングチャートである。この場合、階層指定信号HSW 1はアサートされ（本実施例では論理“1”レベル）ている。この状態で所定のワード線（ワード線WS 1からWS qまでメモリセルアレイMAS内の一行）が選択され、選択した行のメモリセル情報がビット線BS 1、BS B 1からBS n、BS Bnに読み出される（図2ではBS 1、BS B 1を例示）。なお、メモリセルアレイMAS内のメモリセルMを選択する場合には、ワード線WS 1は図に示すように、メモリセルアレイMA FのメモリセルMを選択する場合に比較してワード線を選択状態とする時間を長くすることによって、比較的ビット線の駆動に時間のかかるメモリセルアレイMASからの読み出し動作を確実に行えるよう構成することができる。階層スイッチHS 1からHS nおよびHS B 1からHS B nがオン状態になっているので、前記メモリセル情報はビット線BF 1、BF B 1からBF n、BF Bnに反映される。センスアンプ起動信号SAがアサートされ、センスアンプSA 1からSA nを起動することにより、前記メモリセル情報（図2（b）ではビット線BS 1とBS B 1の電位差）が増幅されデータ出力

D 1からD nに出力される。

【0048】なお、それぞれのメモリアレイへの書き込み動作については、上述した読み出し動作を参照することにより容易に理解できるため、その説明を省略する。また、書き込みのための、バッファ或いはライトアンプはビット線対BF 1接続されるが図が複雑になるため省略されている。

【0049】オンチップのメモリ装置の場合は、CPU等のタイミング信号であるクロック信号に同期して、アドレス入力、データ入出力及び制御信号の入力が行われる。

【0050】メモリセルアレイMA F内のデータを読み出す際に、メモリセルにかかるビット線の負荷はビット線BF 1からBF nおよびBF B 1からBF Bnとなる。一方、メモリセルアレイMAS内のデータを読み出す際に、メモリセルにかかるビット線の負荷はビット線BS 1からBS nおよびBS B 1からBS Bnとビット線BF 1からBF nおよびBF B 1からBF Bnの和となる。したがって、メモリセルアレイMA F内のデータを読み出す際に、メモリセルにかかるビット線の負荷は、メモリセルアレイMAS内のデータを読み出す際に、メモリセルにかかるビット線の負荷よりも小さくなるので、メモリセルアレイMA F内のデータを読み出す速度をメモリセルアレイMAS内のデータを読み出す速度よりも速くすることができる。以下、本実施による効果を従来のメモリ装置と比較して説明する。

【0051】図3は一般的なメモリ装置の構成を示す概念図である。メモリ装置30のメモリセルアレイMA 1内のメモリセルの数は図1のメモリ装置10のメモリセルの数と同じ数であるとする。従って、ワード線WL 1からWL rまでは $r = p + q$ 行となる。階層スイッチHS 1からHS nおよびHS B 1からHS B nがないことを除くと、他は図1のメモリ装置10と同じ構造となる。機能的にも図1のメモリ装置10の階層指定信号HSW 1をアサートした時と同じになる。したがって、メモリ装置30のメモリセルアレイMA 1内のデータを読み出す際に、メモリセルにかかるビット線の負荷はビット線BL 1からBL nおよびBL B 1からBL Bnとなり、メモリ装置10のメモリアレイMAS内のデータを読み出す際にメモリセルにかかるビット線の負荷とほぼ同一となり、読み出しに時間がかかる。一般に、メモリセルからのデータ読み出し速度は、ビット線の負荷すなわち抵抗と容量に影響される。従って、図1ではメモリセルアレイMA Fがq行、メモリセルアレイMASがp行なので、メモリセルアレイMA F内のデータの読み出しは、メモリセルアレイMASのデータの読み出しより $(p + q) / q$ 倍速くできる。例えば、メモリセルアレイMA Fが $q = 16$ 行、メモリセルアレイMASが $p = 128$ 行とすると、 $(p + q) / q = 9$ 倍速く読み出せる。これにより、従来ビット線負荷の影響により高速か

つ低消費電力の達成できなかった比較的大容量のメモリであっても、その一部分に高速かつ低消費電力のメモリを包含することができる。

【0052】このように、図1のような本発明の実施例のメモリ装置10を用いることにより、メモリセルの一部を他のメモリセルよりも速く読み出せるように構成できることを用いて、読み出す頻度の高い情報を高速な読み出しが可能なメモリセルアレイ内に格納しておけば、その情報を選択的に速く読み出すことが可能となる。たとえば1.10Vなどの低電源電圧で動作させる場合でも、MOSトランジスタを高き電圧のまま使用しても高速な読み出しが実現できる。

【0053】また当然、メモリセルアレイMAF内のメモリセルをアクセスするのに必要な消費電力はビット線対の充放電により影響をうけ、ビット線の容量とアクセス頻度によって決定されるため、メモリセルアレイMAS内のメモリセルをアクセスするよりも小さく抑えることができるので、アクセス頻度を考慮した実効的な消費電力を大幅に低減できる。この階層化に要する回路は階層スイッチ等のごく僅かであり、回路規模の増大は僅かである。

【0054】前述したように、図1の実施例のメモリ装置10において、読み出す頻度の高い情報をメモリセルアレイMAF中に格納しておけば、その情報を選択的に速く読み出すことができる。この効果を利用すると、メモリセルアレイMAFをメモリセルアレイMASのキャッシュメモリのように用いることができる。

【0055】メモリセルアレイMAFをメモリセルアレイMASのキャッシュメモリのように用いる場合は、 $p > q$ とするのが望ましい。すなわち、メモリセルアレイMAFのワード線数はメモリセルアレイMASのワード線よりも少なくする。従って、メモリセルアレイMAFのビット線BF1、BFB1からBFn、BFBnはメモリセルアレイMASのビット線BS1、BSB1からBSn、BSBnより短くなる。すなわち、ビット線の負荷をより小さくできるので、高速読み出し及び低消費電力化が可能となる。

【0056】《第2の実施例》図4には本発明の第2の実施例に係るメモリ装置を示す。本実施例は第1の実施例のメモリ装置をメモリセルアレイMAFをメモリセルアレイMASのキャッシュメモリに適用した実施例である。本実施例において第1の実施例と重複する説明は省略する。第2の実施例のメモリ装置40もオンチップのメモリ装置及びオフチップのメモリ装置として用いられる。

【0057】メモリ装置40において、MAS、MAFはメモリセルアレイ、Mはメモリセル、MP1、MP2、MP3、MP4はPMOSトランジスタ、MN1、MN2、MN3、MN4はNMOS(N-channel MOS)トランジスタ、WS1からWSpおよびWF1からWFq

はワード線、SA1はセンスアンプ回路、SAはセンスアンプ起動信号、EQ1はイコライズ回路を示している。階層スイッチHSは、PMOSトランジスタ(MP1など)とNMOSトランジスタ(MN1など)とを用いたCMOSトランジスタにより構成されている。また、メモリセルアレイMAFを構成するビット線(BF1、BFB1等)とセンスアンプ(SA1)との間にその接続を制御するカラム選択スイッチCSWが配置される。カラム選択スイッチCSWは、NMOSトランジスタMN3、MN4及びPMOSトランジスタMP3、MP4で構成され、カラム制御信号(Yスイッチ信号)YSWにより制御される。また、センスアンプSA1は、一対のCMOSインバータを交差接続したラッチ型により構成され、NMOSトランジスタのソース領域と接地電位との間に定電流源を構成するトランジスタが配置されセンスアンプ起動信号SAにより制御されている。また、センスアンプSA1の一対の入力にはイコライズ回路EQ1が接続される。イコライズ回路EQ1はセンスアンプ起動信号SAによりセンスアンプSA1の両入力をPMOSトランジスタで短絡し電位差を縮小する回路と、両入力の電位をPMOSトランジスタで電源電圧にプリチャージする回路とで構成されている。

【0058】図1の実施例のメモリ装置10ではメモリセルアレイMAS内の情報とメモリセルアレイMAF内の情報との関連は特に限定していないが、本実施例のメモリ装置40においては、メモリセルアレイMAFはキャッシュメモリとしての構成を前提としているため、メモリセルアレイMAS内の情報はメモリセルアレイMAF内の情報を含んでいるものとする。すなわち、メモリアレイMAFに記憶されている情報は、メモリセルアレイMASにも同様に記憶されている。メモリセルアレイMAFをメモリセルアレイMASのキャッシュメモリとして用いるため、 $p > q$ とする。すなわち、メモリセルアレイMAFのワード線数はメモリセルアレイMASのワード線よりも少なくする。従って、メモリセルアレイMAFのビット線BF1、BFB1からBFn、BFBnはメモリセルアレイMASのビット線BS1、BSB1からBSn、BSBnより短くなる。

【0059】図4の実施例のメモリ装置40の動作の概略は以下の通りである。情報を読み出すときは、初めにメモリセルアレイMAF内にその情報があるか否かを図示していないタグアレイの出力とアドレス信号とを比較器によって比較して判断し、制御信号HIT0によって制御回路HCCに知らせる。メモリセルアレイMAF内にその情報があれば、(比較結果が一致した場合)、アドレス信号ASFをデコーダDCFによってデコードし、ワード線WF1からWFqの一桁をアサートして読み出す。メモリセルアレイMAF内にその情報がなければ(比較結果が不一致の場合)、制御回路HCCが階層指定信号HSW1をアサート(選択状態)し、アドレス信

号A.S.SをデコーダD.C.Sによってデコードし、ワード線W.S.1からW.S.pの一行をアサートして読み出し、メモリセルアレイMA.F内にその情報を書き込む。一方、情報を書き込むときには、階層指定信号H.S.W.1をアサートし、ワード線W.F.1からW.F.qの一行と、ワード線W.S.1からW.S.pの各行をアサートして、メモリセルアレイMA.F内とメモリセルアレイMA.S内に同一情報を同時に書き込むいわゆるライドスルーフorm式とすることができる。一般的に、メインメモリ部(主記憶部)や2次キャッシュメモリ部(図4のメモリセルアレイMA.Sに相当)が1次キャッシュメモリ部(図4のメモリセルアレイMA.F)と別のチップに形成されており、2次キャッシュメモリ部の書き込み時間が1次キャッシュメモリ部の書き込み時間に比べ著しく大きく、同時に書き込むことが1次キャッシュメモリ部の書き込み時間をも増大させることになるが、本発明のように、メモリセルアレイMA.FとMA.Sとを同一チップ上に形成すれば、その書き込み時間の差は比較的小さいため、上述したようにいわゆるライドスルーフorm式の書き込みを行うことが可能となる。

【0060】以下、この動作を図5のタイミングチャートを用いて詳しく記述する。

【0061】図5(a)には、メモリセルアレイMA.Fから読み出すときのタイミングチャートを示してある。まず制御回路H.C.Cが階層指定信号H.S.W.1をネゲート("0")にする。これによりメモリアレイMA.Sを構成するビット線B.S.1、B.S.B.1がメモリアレイMA.Fを構成するビット線B.F.1、B.F.B.1と切り放される。この状態で、デコーダD.C.Fがワード線W.F.1からW.F.q(図5(a)ではワード線W.F.1)をアサートし、メモリセルMの情報をビット線B.F.1、B.F.B.1に読み出す。予め定めた所定期間経過後、ビット線B.F.1、B.F.B.1が0、1V程度開いたところで、制御回路P.C.Cがセンスアンプ起動信号S.Aをアサート("1")して出力D.B.1、D.B.B.1を得る。この時同時に制御回路P.C.CがYスイッチ信号Y.S.Wをネゲート("1")しているので、ビット線B.F.1、B.F.B.1が切り離され、センスアンプによってビット線B.F.1、B.F.B.1の電位が増幅されず低電力かつ高速な動作が実現できる。

【0062】図5(b)には、メモリセルアレイMA.Sから読み出すときのタイミングチャートを示している。まず、制御回路H.C.Cが階層指定信号H.S.W.1を"1"にする。これによりビット線B.S.1、B.S.B.1がビット線B.F.1、B.F.B.1と接続される。この状態で、デコーダ回路D.C.Sがワード線W.S.1からW.S.q(図5(a)ではワード線W.S.1)をアサートし、メモリセルMの情報をビット線B.S.1、B.S.B.1、およびビット線B.F.1、B.F.B.1に読み出す。予め定められた所定期間経過後、ビット線B.F.1、B.F.B.1が0、1V程度開いたところで、制御回路P.C.CがYスイッチ信号Y.S.Wをアサ

ート("0")したままで、センスアンプ起動信号S.Aをアサート("1")する。この時同時に制御回路H.C.Cが階層指定信号H.S.W.1を"0"にしているので、センスアンプによってビット線B.S.1、B.S.B.1の電位が増幅されず、低電力かつ高速になる。Yスイッチ信号Y.S.Wはアサートされたままであるので、メモリセルアレイMA.Sから読み出した内容はビット線B.F.1、B.F.B.1に増幅されている。したがって、メモリセルアレイMA.F内への書き込みは、ワード線W.F.1からW.F.qの内一つをアサート(図5(b)ではワード線W.F.1)すれば実行することができる。メモリセルMが低振幅のビット線で書き込めるのであれば、Yスイッチ信号Y.S.Wをネゲート("1")してから、センスアンプ起動信号S.Aをアサート("1")することにより、ビット線の負荷がなくなるため、低消費電力化及び高速化を図ることができる。

【0063】このように、メモリアレイMA.Sから読み出されたデータはメモリアレイMA.Fに書き込むように構成しているため、メモリセルアレイMA.S内の情報のうち使用頻度の高い情報はメモリセルアレイMA.F内にも記憶されていることになる。従って、メモリセルアレイMA.Fへのアクセスだけで高速に読み出すことができる確率が多くなり、その分高速かつ低消費電力な読み出し動作が可能となる。

【0064】図5で、メモリセルアレイMA.Sの内容のメモリセルアレイMA.Fへの書き込みはワード線W.F.1をアサートして行ったが、メモリセルアレイMA.F内で使用頻度の一番小さい行へ書き込むように構成すれば、読み出したいデータがメモリアレイMA.Fに存在する確率(ヒット率)がより高くなり、更なる高速化、低消費電力化が達成できる。

【0065】メモリ装置20のメモリセルアレイMA.Fは1次キャッシュメモリとして、メモリセルアレイMA.Sは2次キャッシュメモリ或いは主記憶として用いることができる。オンチップのキャッシュメモリの場合には、一般的に、高速動作と低消費電力の要求からメモリ容量としては32Kバイト程度が限界である。しかし、本実施例を採用することにより、1次キャッシュメモリのメモリアレイMA.Fのメモリ容量を32Kバイト以下にしておけば、高速・低消費電力であって、かつ、256Kから1Mバイト等(論理回路の規模及び微細化技術に依存するが、1Mバイト以上も可能である)の容量の大きいメモリ装置(キャッシュメモリ、或いはキャッシュメモリと主記憶)を実現することが可能となる。また、いわゆるオフチップのメモリ装置としても、数Mビットの大きな記憶容量を有し、かつ、その一部に高速かつ低消費電力のメモリを有する半導体メモリを実現することが可能となる。

【0066】《第3の実施例》図6は本発明の第3の実施例に係るメモリ装置であり、図4の実施例のメモリ装

置にさらにタグアレイを装備した、キャッシュメモリとしての実施例である。タグアレイにはデータ部の各行のデータに対応するアドレス信号の一部が記憶されており、その記憶内容をアドレス信号と比較することによりヒットしたか否かの判断を行うためのものである。図6では簡単のためインデックスにより1つ(1行)のタグ部及びデータ部が選択されるよう構成されたダイレクトマップ構造を用いた構成を示す。後述するように、セッド・アソシアティブ構造やフル・アソシアティブ構造の場合でも同様の効果が得られることは明かである。図6のメモリ装置60においてもメモリセルアレイや階層スイッチ等の構成は第1及び第2の実施例のメモリ装置と同様であり重複する説明は省略する。第3の実施例のメモリ装置60もオンチップのメモリ装置及びオフチップのメモリ装置として用いられる。

【0067】メモリ装置60において、TAS、TAF、DAS、DAFはメモリセルアレイ、TH、DHは階層スイッチ、TSA、DSAはセンスアンプ、CMP1は23ビット比較器、100、101、102、103はデコーダ、105、106、107、108、109、110はビット線を示している。タグ部のTAS、TAF、階層スイッチTH、センスアンプTSA及びデータ部のDAS、DAF、階層スイッチDH、センスアンプDSAはそれぞれ、図1及び図4のメモリ装置に示すMAS、MAF、HS1～HSBn、SA1～SAmに対応するものである。

【0068】メモリセルアレイTASとTAFでタグ部を構成しており、メモリセルアレイDASとDAFでデータ部を構成している。メモリセルアレイTASは20ビットのデータ幅、メモリセルアレイTAFはメモリアレイTASより多い23ビットのデータ幅を持っている。これは、メモリセルアレイTAF及びDAFの方がメモリセルアレイTAS及びDASより記憶容量が小さく、必要なインデックスの数が小さい(メモリセルアレイTAF及びDAFのインデックスは8ビットで、メモリセルアレイTAS及びDASのインデックスは5ビット)ため、アドレスデータ幅に差が生じるものである。したがって、ビット線105は20ビット分になる。”0”レベルに固定したビット線111と合わせて階層スイッチTHに接続され、ビット線106は23ビットになる。従って、残りの3ビット分は、後述するように、階層指定信号HSW3がアサートされている場合には、比較器CMP1にも同様の”0”レベルに固定した信号が入力され、実質的に比較動作を行わないような構成となっている。

【0069】図6の上部には本実施例で用いるアドレスの構成を模式的に示してある。オンチップのメモリ装置である場合は、アドレスはチップ内のCPU等から供給される。オフチップのメモリ装置の場合は、アドレスはチップ外部から供給される。アドレスA0からA31は

32ビットで、タグ部とデータ部から一行を選択するためのアドレスであるインデックスは、メモリセルアレイTAS、DASに対してはアドレスA4からA11の8ビット(256行)、メモリセルアレイTAF、DAFに対してはアドレスA4からA8の5ビット(32行)、ラインサイズは128ビット(16バイト)である。したがって、メモリセルアレイTAF、DAFはメモリセルアレイTAS、DASの1/8のビット数となる。

【0070】SEL0は3ビットのセレクタ回路で、階層指定信号HSW3がネゲートされている場合には、アドレスA9からA11までの3ビットを選択出力する。また、階層指定信号HSW3がアサートされている場合には、3ビットの”0”を出力する。このセレクタの出力と、アドレスA12からA31までの20ビットを合わせて、比較器CMP1に入力する。

【0071】メモリセルアレイTAF、DAFをメモリセルアレイTAS、DASのキャッシュメモリとして動作させる。図6のメモリ装置60は1次キャッシュメモリ(メモリセルアレイTAS、DAS)と2次キャッシュメモリ(メモリセルアレイTAF、DAF)を備えたキャッシュメモリに類似した構成となっている。制御回路CONT Rによって、1次キャッシュメモリと2次キャッシュメモリとが制御される。

【0072】以下、この読み出し動作を図7のフローチャートを用いて詳しく説明する。

【0073】まず、制御回路CONT Rにメモリアクセス信号MACCSが入力されると、階層指定信号HSW3は予めネゲート状態(階層スイッチTHとDHはオフ状態)とされる。次に制御信号112、113に基づいて、デコーダ100、102でアドレスA4からA11をデコードし、メモリセルアレイTASとDASの中の一行を選択する。同時に、制御信号114、115に基づいて、デコーダ101、103でアドレスA4からA8をデコードしメモリセルアレイTAFとDAFの中の一行を選択する。選択されたワード線に対応して、ビット線107、110に選択されたメモリセルの情報が読み出されると制御信号116、117に基づいて、センスアンプTSA、DSAを起動し、上記情報を增幅する。次に、センスアンプTSAで読み出されたタグ部のデータとアドレスA9からA31を比較器CMP1で比較する。この比較結果が一致していると、制御信号HITがアサートされ、ここで読み出し動作が終了する。この場合には、1次キャッシュに相当するメモリアレイDAFに必要なデータが存在しているため、高速なデータの読み出しが可能となる。

【0074】比較器CMP1での比較結果が一致しない場合には、制御信号116、117はセンスアンプTSA、DSAをネゲートし、デコーダ101、103の出力をネゲートしてメモリセルアレイTAF、DAFを非

動作状態にする。特に制限されないが、センスアンプ T S A、 D S A及びデコーダ 1 0 1、 1 0 3の制御は比較器 C M P 1 の出力である制御信号 H I T に基づいた制御信号 1 1 4、 1 1 5、 1 1 6、 1 1 7により行われる。次に制御回路 C C N T R は階層指定信号 H S W 3 をアサートし、 デコーダ 1 0 0、 1 0 2で選択されたメモリセルアレイ T A S、 D A S内のメモリセルの情報がビット線 1 0 5、 1 0 8に読み出す。階層スイッチ T H、 D Hがオンで状態なので、 この情報はビット線 1 0 6、 1 0 9、 1 0 7、 1 1 0に反映される。この時、 ビット線 1 0 5、 1 0 8の容量は、 ビット線 1 0 6、 1 0 9、 1 0 7、 1 1 0の容量よりも十分大きいので、 容量分割によりビット線 1 0 5、 1 0 8の情報はそのままビット線 1 0 6、 1 0 9、 1 0 7、 1 1 0に反映される。従って、 ビット線 1 0 6、 1 0 9、 1 0 7、 1 1 0を予めイコライスする必要がなく、 イコライス動作に必要な時間を省略できる。もちろん、 ビット線 1 0 5、 1 0 8の容量が十分大きくなり場合や、 ビット線 1 0 6、 1 0 9、 1 0 7、 1 1 0の充放電を余裕をもって行う必要のある場合などはビット線 1 0 6、 1 0 9、 1 0 7、 1 1 0を予めイコライスするよう構成することもできる。

【0075】 次に制御信号 1 1 6、 1 1 7はセンスアンプ T S A、 D S Aを起動し、 最後にセンスアンプ T S Aで読み出されたタグ部のデータとアドレス A 1 2から A 3 1を比較器 C M P 1 で比較する。この比較結果が一致しない場合、 ミスとして処理する（制御信号 H I T がネガートされる）。比較結果が一致した場合、 制御信号 1 1 4、 1 1 5はデコーダ 1 0 1、 1 0 3の出力を再度アサートし、 メモリセルアレイ T A F、 D A Fに、 読み出されたメモリセルアレイ T A S、 D A Sの内容を書き込む。

【0076】 図 7 では制御信号 1 1 4、 1 1 5、 1 1 2、 1 1 3に基づいて最初にデコーダ 1 0 1、 1 0 3の出力と、 デコーダ 1 0 0、 1 0 2の出力を同時にアサートしているが、 デコーダ 1 0 1、 1 0 3の出力だけを最初にアサートし、 最初の比較器 C M P 1 での比較で不一致検出が出来た（制御信号 H I T がネガートされた）後にデコーダ 1 0 0、 1 0 2の出力をアサートしてもよい。この場合デコーダ 1 0 0、 1 0 2の制御は比較器 C M P 1 の出力である制御信号 H I T を利用することにより行うことができる。デコーダ 1 0 1、 1 0 3の出力とデコーダ 1 0 0、 1 0 2の出力を同時にアサートする構成によれば、 比較結果が一致で合った場合でも既にデコーダ 1 0 0、 1 0 2の出力がアサートされているため高速な読み出しが可能である。同時にアサートしない構成によれば、 不一致の場合にのみデコーダ 1 0 0、 1 0 2がアサートされるため消費電力の低減を図ることができる。また、 いざれの構成を採用するかは、 たとえば本発明の半導体メモリ装置を用いるシステムの動作速度に応じて変えればよく、 C P U が高速動作を行う状態

（モード）においては同時にアサートするようにし、 低速動作を行う状態（モード）においては同時にアサートしないようにし、 システムの高速動作の要求と低消費電力化を同時に実現することができる。

【0077】 なお、 タグ部は、 タグアレイ T A SとT A Gアレイ T A Fとのビット線を階層スイッチ T Hで接続しない構成にしてもよい。すなわち、 タグアレイ T A S用のセンスアンプと比較器を別に有するような構成にしてもよい。

【0078】 《第4の実施例》 図 8 には図 6 のメモリ装置を 2 ウェイ・セット・アソシアティブ構造にした場合の実施例である第4の実施例のメモリ装置を示している。図 8 では説明の便宜上キヤッシュメモリのデータ部の構成を表している。2 ウェイ・セット・アソシアティブ構成では、 単一のインデックスにより 2 つのタグとデータを選択し、 2 つのタグを平行して比較し、 一致したタグに対応するデータが outputされるよう構成されている。図示しないタグ部等の構成は図 6 に示したタグ部等が 2 組づつ配置された構成となる。なお、 本実施例においても、 上述の他の実施例と同様な部分については説明を省略する。第4の実施例のメモリ装置はも オンチップのメモリ装置及びオフチップのメモリ装置として用いられる。

【0079】 メモリ装置 8 0 において、 ビット線 B S 1 1、 B S B 1 1 および B F 1 1、 B F B 1 1 に接続されているメモリセルがウェイ 1 (Way 1) で、 ビット線 B S 1 2、 B S B 1 2 および B F 1 2、 B F B 1 2 に接続されているメモリセルがウェイ 2 (Way 2) である。ウェイ 1 を構成するビット線対とウェイ 2 を構成するビット線対は、 センスアンプに共通に接続する関係上近接して配置することが望ましく、 本実施例ではそれぞれのビット線対を交互に配置している。図 4 のメモリ装置 4 0 と比較すると、 N M O S トランジスタ M N 7、 M N 8、 M N 1 1、 M N 1 2 および P M O S トランジスタ M P 7、 M P 8、 M P 1 1、 M P 1 2 から構成されている 2 個の Y S インバータが同一のイコライザ E Q 1 およびセンスアンプ S A 1 に接続されている点が異なる。Y S インバータ信号 Y S W 1 がアサート（“0”）されるとウェイ 1 が選択され、 Y S インバータ信号 Y S W 2 がアサート（“0”）されるとウェイ 2 が選択される。ここではウェイセレクタを Y S インバータを用いて行っているが、 各ウェイにセンスアンプを設けてセンスアンプの後にウェイセレクタを置く方法を採用しより高速な読み出し動作を行わせることもできる。図 8 では 2 ウェイ・セット・アソシアティブ構成の例を示しているが 4 ウェイ・セット・アソシアティブ構成等でも同様に実現できる。なお、 メモリセルアレイ M A F 及びメモリセルアレイ M A S をキヤッシュメモリとして用いるので、  $p > q$  とする。すなわち、 メモリセルアレイ M A F のワード線数はメモリセルアレイ M A S のワード線よりも少なくする。従つ

て、メモリセルアレイMAFのビット線BF11、BF11、BF12、BFB12はメモリセルアレイMASのビット線BS11、BSB11、BS12、BSB12より短くする。

【0080】図8の実施例のメモリ装置80からの読み出し動作は図4のメモリ装置40の方法と選択されたウェイのYスイッチを用いることを除けば同様の方法で行える。メモリセルアレイMASから読み出した内容をメモリセルアレイMAFへ書き込む時、読み出したウェイと同一のウェイに書き込んでも良いが、別のウェイを選択して書き込んでもよい。

【0081】書き込み動作も同様で、複数のウェイのうちで最も古く使われたウェイに書き込むLRU(Least Recently Used(リスト・リーセントリー・ユーズド))等のリプレースアルゴリズムに従って、追い出すウェイを決定した後、そのウェイのYスイッチを用いて書き込みを行えばよい。その他、さまざまな形態の読み出しおよび書き込みアルゴリズムが採用でき、主にウェイの数により最適なアルゴリズムを採用し、キャッシュメモリとしてのヒット率が高くなり、できるならメモリセルアレイMAFのヒット率が高くなるようにすることが望ましい。

【0082】《第5の実施例》図9は本発明の第5の実施例に係るメモリ装置を示す図であり、図1のメモリ装置10のビット線の階層化を3層にしたものである。第1の実施例のメモリ装置10と同様な部分については説明を省略する。第5の実施例のメモリ装置90もオンチップのメモリ装置及びオフチップのメモリ装置として用いられる。

【0083】図1のメモリ装置10と比較すると、メモリ装置90においては新たに階層スイッチHT1、HTB1、ビット線BT1、BTB1、メモリセルアレイMATが接続している。ワード線WT1からWTuの本数(u)、ワード線WS1からWSpの本数(p)、ワード線WF1からWFqの本数(q)に応じてそれぞれの階層からの読み出し速度が決まる。メモリセルアレイMAFからの読み出しは、メモリセルアレイMAS、MATからの読み出しおよび読み出せる。また、メモリセルアレイMASは、メモリセルアレイMATからの読み出しおよび読み出せる。アクセス頻度の高い情報を、メモリセルアレイMAFやメモリセルアレイMASに格納しておけば高速な読み出しが実現できる。消費電力についても、図1の実施例のメモリ装置10で述べたのとまったく同様の理由で低減できる。

【0084】また、第2乃至第4の実施例のメモリ装置が、図9のような3層の階層にした場合でも実現でき、同様の効果が得られることは明かである。この場合は、ワード線の数の関係をu>p>qとする。

【0085】《第6及び第7の実施例》図10及び図11は本発明の第6及び第7の実施例に係るメモリ装置を

示す図であり、図9に示した3層構造のメモリ装置の応用を示すものである。第5の実施例のメモリ装置90と同様な部分については説明を省略する。第6の実施例のメモリ装置1000及び第7の実施例のメモリ装置1100もオンチップのメモリ装置及びオフチップのメモリ装置として用いられる。

【0086】図10及び図11に示されるメモリ装置ではメモリセルアレイMAS内の情報は、メモリセルアレイMAF内の情報とメモリセルアレイMAT内の情報を包含しているものとする。すなわち、メモリセルアレイMAF及びメモリセルアレイMATはメモリセルアレイMASのキャッシュメモリとしての使用を前提としているため、メモリセルアレイMAT及びMAFに記憶されている情報はメモリセルアレイMASにも重複して記憶され、メモリセルアレイMASにはそれ以外の情報を記憶しているものである。この場合は、ワード線の数の関係をu>p>qとする。

【0087】図10及び図11に示されるメモリ装置ではビット線BT1、BTB1にビット線BF1、BFB1と同様にセンサアンプSA1Tを接続し、データ出力DAT1からDATnTを出力して出力を読み出す系統を2系統としデュアルポート化したものである。このような構成により、メモリへの読み出し及び書き込みが独立した2つの系統から行うことができる。メモリセルアレイMATとMASに対する読み出しおよび書き込み動作は、図1で記述したメモリセルアレイMAFとMASに対する方法をそのまま用いることができる。

【0088】ただし、図10のメモリ装置1000では、メモリセルアレイMASへの書き込みおよびメモリセルアレイMASからの読み出しが、データ出力D1からDnおよびデータ出力D1TからDnTの両方から同時にできない。しかし、このアクセス衝突は、メモリセルアレイMASへのアクセスが、メモリセルアレイMAF内あるいはMAT内に欲しい情報がある限り発生しないことを考慮するとほとんど発生しないため実用上はほとんど問題とならない。アクセス衝突が生じた場合にはそれを検出し、データ出力D1からDnおよびデータ出力D1TからDnTの両アクセスをシーケンシャルに行えばよい。アクセス衝突を生じる確率は小さいので、シングルポートのメモリセルMを用いて高確率にデュアルポートアクセスできる。

【0089】デュアルポートアクセスが可能となることにより、ALU(Arithmetic Logic Unit)等の演算器が2つ存在するようなプロセッサにおいてもそれぞれの演算器に対応したデータキャッシュメモリを構成することができ、プロセッサの並列演算処理に容易に対応することができる。

【0090】すなわち、シングルポートのメモリセルを用いて、デュアルポートの半導体メモリ装置あるいはキャッシュメモリを高速・低消費電力に実現できる。

【0091】さらに図11のメモリ装置1100は上記アクセス衝突が生じても、デュアルポートのアクセスを可能にする実施例である。

【0092】メモリ装置1100においては、図10のメモリ装置1100のメモリセルアレイMAS内のメモリセルMをデュアルポートメモリセルDに変えたものである。デュアルポートメモリセルDは、ワード線WS1からWSp1によって制御されるビット線BS1TおよびBSB1Tに接続されたポートと、ワード線WS1TからWSpTによって制御されるビット線BS1TおよびBSB1Tに接続されたポートを持つている。データ出力D1からDnからのアクセスに対しワード線WS1からWSp用い、データ出力D1TからDnTからのアクセスに対しワード線WS1TからWSpT用いれば、上記アクセス衝突でも同時にアクセスできる。

【0093】《第8の実施例》図12は図1のメモリセルアレイMAFをデュアルポート化したときの実施例である第8の実施例に係るメモリ装置を示す。第1の実施例のメモリ装置10と同様な部分については説明を省略する。第8の実施例のメモリ装置1200もオンチップのメモリ装置及びオフチップのメモリ装置として用いられる。

【0094】デュアルポートメモリセルはその素子面積が通常のメモリセルの面積の1.5倍から2倍と大きいため、本実施例のように、アクセス頻度の高いメモリセルアレイMAFにのみデュアルポートセルを用いることにより、回路面積の増大を抑えつつデュアルポートアクセスの可能なメモリを実現することができる。

【0095】メモリセルアレイMAFのビット線はBF1からBFnとBFB1からBFBn、および、BF1TからBFnTとBFB1TからBFBnTの二対になっている。それぞれのビット線にはセンスアンプSA1からSA<sub>n</sub>、および、SA1UからSA<sub>n</sub>Uが接続されている。図12のメモリ装置1200ではビット線BF1とBFB1が、階層スイッチHS1とHSB1を用いてメモリセルアレイMASのビット線BS1とBS1Bに接続されており、ビット線BF1TからBFnTとBFB1TからBFBnTが階層スイッチHUU1からHUnとHUB1からHUBnにより、メモリセルアレイMASのビット線BS1とBS1Bに接続されている。そして、階層スイッチHS1からHSnとHSB1からHSBnとは階層制御信号HSW1により制御され、階層スイッチHUU1からHUnとHUB1からHUBnとは階層制御信号HSW2により制御される。

【0096】上述したように、メモリセルアレイMASに格納されている情報が、メモリセルアレイMAFに格納されている情報を包含するようにすれば、メモリセルアレイMAFのアクセス頻度はメモリセルアレイMASのアクセス頻度よりも高くなる。メモリアクセスの局所性により、ほとんどのアクセスはデュアルポート構造に

なっているメモリセルアレイMAFへのアクセスになる。メモリセルアレイMAFの容量は小さく抑えることができるため、多ポートメモリセルによる面積増加を抑えることができる。特に多ポートメモリの同時アクセスに局所性がある場合には、メモリセルアレイMASへのアクセス頻度が減るために効率が良くなる。

【0097】図12のメモリ装置1200の極端な例として、メモリセルアレイMAFを1行だけにした例（ $\alpha=1$ とすることを意味する）があげられる。多ポートメモリの同時アクセスが近接するアドレスに対して発生するのであれば、これで十分な効果が得られる。さらに、図12のメモリ装置1200のメモリセルアレイMASとメモリセルアレイMAFの間にスイッチと同様な機能を有するようなセンスアンプを入れてもよい。すなわち、階層スイッチHS1とHSB1およびHUU1とHUB1をセンスアンプに変えてよい。メモリセルアレイMAFがメモリセルアレイMASから構成された半導体メモリの多ポートバッファとして動作する。

【0098】図10および図11の実施例のメモリ装置ではメモリセルアレイMAFおよびMATの容量をメモリセルアレイMASの容量よりも小さくすれば、読み出し速度の高速化および消費電力の低減に効果があることは言うまでない。

【0099】図10から図12の実施例のメモリ装置は、図6から図8までのキャッシュメモリとしての実施例のメモリ装置にも応用でき、デュアルポートキャッシュメモリが実現できる。消費電力についても図1の実施例のメモリ装置で述べたのとまったく同様の理由で低減できる。読み出し速度に対しても、メモリセルアレイMAFおよびメモリセルアレイMATへのアクセスは、図1の実施例のメモリ装置で記述した理由と同じ理由で高速に行える。さらにこのデュアルポートキャッシュメモリの二つのポートをインストラクションバスとデータバスに接続すれば、命令キャッシュとデータキャッシュを兼ね備えたキャッシュメモリとして用いることができる。実効的にセバレートキャッシュ（命令キャッシュとデータキャッシュが別個に存在するキャッシュ）と同様のパフォーマンスをユニファイキャッシュで実現できる。

【0100】《第9の実施例》図13は本発明第9の実施例に係るメモリ装置である。第1から第8までの実施例のメモリ装置と同様な部分については説明を省略する。第9の実施例のメモリ装置1300もオンチップのメモリ装置及びオフチップのメモリ装置として用いられる。

【0101】メモリ装置1300において、MAS、MAFはメモリセルアレイ、Mはメモリセル、HE1、HEB1およびHF1、HFB1は階層スイッチ、WS1からWSpおよびWF1からWFqはワード線、SA1はセンスアンプ、SSはセンスアンプ起動信号、SS

1、SSB1およびSF1、SF21およびBF1、BF21はビット線を示している。

【0102】階層指定信号HSW1がアサートされている時、階層スイッチHE1、HEB1はオン状態になり、ビット線SF1をビット線BF1に、ビット線SF21をビット線BF21に接続する。階層指定信号HSW2がアサートされている時、階層スイッチHF1、HFB1はオン状態になり、ビット線SS1をビット線BF1に接続する。ビット線BF1、BF21はセンスアンプSA1に接続されている。したがって、階層指定信号HSW1と階層指定信号HSW2がアサートされている時、メモリセルアレイHAFとメモリセルアレイHASは同時にセンスアンプに接続される。

【0103】階層指定信号HSW2をアサートすれば、第1から第8までの実施例のメモリ装置と同様な構成と動作を行い、同程度の効果がある。しかし、メモリセルアレイMAFからの読み出しにはビット線BF1、BF21の容量が関係するので、第1から第8までの実施例のメモリ装置の場合よりも若干遅くなる。但し、メモリセルアレイMAFの容量をメモリセルアレイMASの容量よりも小さくする( $p > q$ )ことにより、第1の実施例のメモリ装置10と同様な効果が得られる。

【0104】階層指定信号HSW2をネガートにすれば、メモリセルアレイMASからの読み出しがメモリセルアレイMAFの負荷がないので、第1から第8までの実施例のメモリ装置の場合よりも高速にできるという効果がある。

【0105】以上の第1から第9の実施例では電源電圧に対しては何も規定していないが、たとえば1、0Vなどの低電圧で動作させる場合には、以下の効果がある。一般に低電圧では回路の動作速度が低下するという問題がある。このを解決する方法として、MOSトランジスタのしきい値電圧を下げ、低しきい値電圧化するという方法があるが、リーク電流が増加するという新たな問題が発生する。特にメモリセルを構成するMOSトランジスタのしきい値電圧を下げ、低しきい値電圧化すると、メモリセルの規模が大きいことと、その動作頻度が低いことからリーク電流が無視できない。本発明の方法を用いることで、MOSトランジスタを高しきい値電圧のまま使用しても、メモリアレイの一部に高速動作可能なメモリアレイを含めているため、高速な読み出しが実現できる。

【0106】また、以上の第1から第9の実施例で用いた階層スイッチの代わりに、センスアンプ等の増幅機能を持った半導体回路を用い、より高速な動作を可能とすることもできる。この場合にはセンスアンプとしては階層スイッチとしての機能を有するよう構成することが必要である。

【0107】《第10の実施例》図16には、本発明の第10の実施例に係るキャッシュメモリの論理的イメ

ジのブロック図が示されている。本実施例は第3の実施例のメモリ装置をウェイ・セット・アソシアティブ構造のキャッシュメモリにした場合のものである。キャッシュメモリ160は、16Kバイトの2次キャッシュメモリと、2Kバイトの1次キャッシュメモリとで構成される。キャッシュメモリ160は、2次キャッシュメモリのタグアレイL2TAとデータアレイL2DAと、1次キャッシュメモリのタグアレイL1TAとデータアレイL1DAと、2次キャッシュメモリのデコーダL2DEC(図示されていないが、タグアレイとデータアレイは別にデコーダを有する。)と、1次キャッシュメモリのデコーダL1DEC(図示されていないが、タグアレイとデータアレイは別にデコーダを有する。)と、ウェイセレクタWAYSELと、読み出し/書き込みアンプRWAMPと、比較器CMPと、プリデコーダPREDECとで構成される。

【0108】タグアレイL2TAは、4×256行×23ビットのメモリアレイで構成される。データアレイL2DAは、4×256行×128ビットのメモリアレイで構成される。タグアレイL1TAは、4×32行×32ビットのメモリアレイで構成される。データアレイL1DAは、4×32行×128ビットのメモリアレイで構成される。

【0109】8ビット長のインデックスアドレス(Index-address)は、8ビット、8ビット、4ビットの3群のプリデコードアドレス(Pre-decoded address)にプリデコーダPREDECでデコードされる。2次キャッシュメモリは、3群全てのプリデコードアドレスをデコーダL2DECでデコードする。一方、1次キャッシュメモリは、2群のプリデコードアドレスのみをデコーダL1DECでデコードする。23ビット長のタグアドレス(Tag-address)は4つの比較器CMPでタグアレイL1TA又はタグアレイL2TAから読み出されるアドレスと比較される。

【0110】図17には、キャッシュメモリ160の半導体チップ上のレイアウトイメージのブロック図が示される。データアレイL1DA及びデータアレイL2DAはデコーダ/ドライバDAWDを挟んでそれぞれ2つに分割配置されている。また、タグアレイL1TA及びタグアレイL2TAもデコーダ/ドライバDAWDを挟んでそれぞれ2つに分割配置されている。さらに、2つのデータアレイL1DA及び2つのデータアレイL2DAは、2つのタグアレイL1TA及び2つのタグアレイL2TAを挟んで2つに分割配置されている。すなわち、メモリアレイは、デコーダ/ドライバDAWDを中心として対称に配置されている。なお、デコーダ/ドライバDAWDは、図16のデコーダL1DEC、L2DECに対応する。また、デコーダ/ドライバDAWDも、図16のデコーダL1DEC、L2DECに対応する。

【0111】また、データアレイL2DAとデータアレ

IL1DAとは、階層スイッチHSWを介して接続される。タグアレイL2TAとタグアレイL1TAとは、階層スイッチHSWを介して接続される。すなわち、2次キャッシュメモリアレイL2-arrayと1次キャッシュメモリアレイL1-arrayとは、階層スイッチHSWを介して接続される。データアレイL2DAとタグアレイL2TAに表示される数字(0, 1, 2, 3)はウェイの番号を示している。データアレイの各ウェイは、ウェイセレクタWAYSELによって選択される。また、ウェイセレクタWAYSELは制御信号Hit / Missを出力して、キャッシュメモリのヒット或いはミスヒットを中央処理装置CPU等に知らせる。データアレイL1DA, L2DAからのデータの読み出し及びデータアレイL1DA, L2DAへのデータの書き込みはデータバスData及び読み出し/書き込みアンプRWAMPを介して行われる。図18には、データアレイL1DA, L2DAの回路図が示される。本実施例は第4の実施例を4ウェイのメモリにした場合である。図面が複雑になるのでイコライズ回路は省略されている。2次キャッシュメモリアレイのビット線対BS, BSBと1次キャッシュメモリアレイのビット線対BF, BFBは階層スイッチHSWで分割されている。4つのウェイに対応する4つのビット線対がウェイセレクタWAYSELを介して読み出し/書き込みアンプRWAMPに接続されている。従って、アンプの数はラインサイズと等しくなっている。アンプの数を少なくすることは消費電力の削減に効果がある。なお、図18の読み出し/書き込みアンプRWAMPは、図面が複雑になるのを避けるため、書き込みアンプについては省略している。

【0112】ウェイセレクタWAYSELからのウェイ選択信号WAY0, WAY1, WAY2, WAY3によって制御される。

【0113】ビット線対BF, BFBに接続されるメモリセルの数(32行)は、ビット線対BS, BSBに接続されるメモリセルの数(256行)より約1桁少ない。従って、階層スイッチHSWがオフの場合のデータアレイL1DAと読み出し時間は、階層スイッチHSWがオンの場合のデータアレイL2DAとL1DAの読み出し時間より短くすることができる。

【0114】データアレイL1DAに要求するデータが存在する場合(1次キャッシュメモリがヒットした場合:L1-hit)は、データアレイL1DA内のデータはウェイセレクタWAYSWを介してセンスアンプSAPで読み出される。このとき、階層指定信号はネゲートされており、階層スイッチHSWは遮断状態にある。センスアンプ起動信号SAC1をアサートしたとき、制御信号SAC2をネゲートすれば、ビット線対BA, BABがビット線対BF, BFBと分離されるため、高速読み出しができる。

【0115】データアレイL2DAに要求するデータが存在する場合(2次キャッシュメモリがヒットした場合:L2-hit)は、データアレイL2DAがアクセスされ、ビット線を介して直接データアレイL1DAに書き込まれる。書き換え動作は、センスアンプSAPを利用して以下のように行われる。まず、データアレイL2DAのデータがセンスアンプSAPで読み出される。次に、階層指定信号HSW1がネゲートされ、制御信号SAC2はアサートされたままである。データアレイL2DAから読み出されたデータはビット線対BF, BFB上で増幅され、データアレイL1DAに書き込まれる。この書き換えシーケンスによっては、データアレイL2DAからデータアレイL1DAへの書き込みには余分なサイクルは不要である。

【0116】従来の階層キャッシュメモリに比べて、占有面積、消費電力及び読み出し時間において有利である。すなわち、データアレイL1DAとデータアレイL2DA、タグアレイL1TAとタグアレイL2TAで周辺回路を共用するため、1次キャッシュメモリと2次キャッシュメモリに必要な占有面積を減少させることができる。周辺回路が共用になっているため、書き換えシーケンス時の消費電力を削減できる。ビット線が階層スイッチのみを介して接続されているため、書き換えシーケンスに必要な時間は無視できる。

【0117】データアレイL1DAのデコーダ/ドライバDAWDとデータアレイL2DAのデコーダ/ドライバDAWDの間にあるバッファ回路BUFは、1次キャッシュメモリのアドレスの負荷を軽くするためのものである。1次キャッシュメモリの方が2次キャッシュメモリよりも読み出し時間を短くする必要があるため、1次キャッシュメモリ側のアドレスの負荷を軽くするようにアドレスは1次キャッシュメモリ側から入力するのが望ましい。

【0118】図19には、1次キャッシュメモリがヒットした場合(上側:L1-hit)と2次キャッシュメモリがヒットした場合(下側:L2-hit)のデータアレイのシミュレーション波形が示されている。1次キャッシュメモリがヒットした場合のアクセス時間は4, 8nsである。2次キャッシュメモリがヒットした場合のアクセス時間は7, 7nsである。本実施例を用いることにより、アクセス時間を38%減少することができる。

【0119】図20には、電源電圧1V、動作周波数10.0MHz時のデータアレイの消費電力のシミュレーション結果が示される。1次キャッシュメモリがヒットした場合(L1-hit)の消費電力は、6, 2mWである。1次キャッシュメモリの書き換え動作時(2次キャッシュメモリがヒットした場合(L2-hit))には、消費電力が3, 5mW増加して9, 7mWになる。しかし、1次キャッシュメモリのヒット率が90%と仮定すると、実効消費電力は6, 5mWに減少する(従来の18kバイト

のデータアレイでの8.4 mWに比べて23%減少する)。

【0120】図21には、3層金属配線の0.25  $\mu$ m CMOSプロセス技術で試作したチップの特徴が示されている。また、図22には、プロセスとデバイスパラメータが示されている。電源電圧1Vで高い特性を得るために、MOSFETのゲート酸化膜厚は4.5 nmにしている。高信頼性(高雑音余裕)とCPU等の論理回路LSIとのプロセスの互換性のため、メモリセルには6トランジスタ・セル(完全CMOS型メモリセル)を使用している。また、周辺回路のMOSトランジスタとメモリセルのMOSトランジスタとはしきい値電圧を変えている。前者は、0.3Vで、後者は、0.5Vである。キャッシュメモリのサイズは、3.6mm×2.1mmである。

【0121】図23には、データアレイの測定波形が示されている。ADDはアドレス入力、SELはタグアレイからのウェイ選択信号、OUPはウェイ選択信号SELに対応するデータアレイからの出力信号を表している。1次キャッシュメモリがヒットした場合のアクセス時間は4.5nsである。2次キャッシュメモリがヒットした場合のアクセス時間は7.5nsである。これは、シミュレーション結果とほぼ一致している。1次キャッシュメモリのヒット率は約90%であるため、実効アクセス時間は5nsとなる。

【0122】《第11の実施例》図24には、本発明の第11の実施例に係るキャッシュメモリの論理的イメージのブロック図が示されている。本実施例は第6の実施例のメモリ装置を4ウェイ・セット・アソシアティブ構造のキャッシュメモリにした場合のものである。キャッシュメモリ240はインストラクションポートI-PORTとデータポートD-PORTを有する。マイクロプロセッサ等のインストラクションバスとデータバスに接続して、命令キャッシュとデータキャッシュを兼ね備えたキャッシュメモリ240は、2ポートを有するユニファイキャッシュである。キャッシュメモリ240は、32Kバイトの2次キャッシュメモリと、2つの4Kバイトの1次キャッシュメモリとで構成される。キャッシュメモリ240は、2次キャッシュメモリのタグアレイL2TAGとデータアレイL2DATと、1次キャッシュメモリのタグアレイL1TAI、L1TADとデータアレイL1DAI、L1DADと、2次キャッシュメモリのデコーダL2DE(図示されていないが、タグアレイとデータアレイは別にデコーダを有する)と、1次キャッシュメモリのデコーダL1DI、L1DD(図示されていないが、タグアレイとデータアレイは別にデコーダを有する)と、ウェイセレクタSEL1、SEL0と、比較器CMP1、CMP0と、アドレスセレクタSELとで構成される。

【0123】なお、キャッシュメモリ240は物理アドレス側の配置されている。すなわち、メモリ管理ユニット(MMU)内のアドレス変換バッファTLBで論理アドレス(仮想アドレス:Virtual Address)から物理アドレス(Physical Address)に変換された後に、キャッシュメモリ240がアクセスされる。

【0124】タグアレイL2TAGは、4×256行×23ビットのメモリアレイで構成される。データアレイL2DATは、4×256行×256ビットのメモリアレイで構成される。タグアレイL1TAGは、4×32行×23ビットのメモリアレイで構成される。データアレイL1DATは、4×32行×256ビットのメモリアレイで構成される。

【0125】アドレスセレクタSELは、インストラクションポート側からの2次キャッシュメモリのアクセスとデータポート側からの2次キャッシュメモリのアクセスとのアドレス信号の切り替えを行っている。同時にアクセスが発生した場合は、予め決められた優先順位に従ってアドレスセレクタSELがアドレス信号を選択する。図25には、データアレイL2DAT、L1DAI、L1DADの回路図が示される。図25は、階層スイッチHSWを具体的に示している点と、プリデコードPREDEC及びデコーダ/ワードドライバWORDを示している点が異なるのみで、図10の第6の実施例と基本的には同じである。インストラクション及びデータのインデックスアドレスは、3群のプリデコードアドレスに、プリデコードPREDECでデコードされる。2次キャッシュメモリは、3群全てのプリデコードアドレスをデコーダ/ワードドライバWORDでデコードする。一方、1次キャッシュメモリは、2群のプリデコードアドレスのみをデコーダ/ワードドライバWORDでデコードする。プリデコードアドレス信号は1次キャッシュメモリと2次キャッシュメモリとの間のデコーダスイッチRSWによって導通・遮断されるようにされる。これは、図24のアドレスセレクタSELの機能を実現するためと1次キャッシュメモリをアクセス時のプリデコードアドレス信号の負荷を軽減するためのものである。

【0126】1次キャッシュメモリの記憶容量を小さく、読み出し時間を小さくしているので、アドレス変換バッファTLBで論理アドレスを物理アドレスに変換する時間を考慮しても1次キャッシュメモリの読み出し時間は小さく押さえられる。

【0127】一般的には、ユニファイキャッシュはセパレートキャッシュよりもヒット率が高い。一方、セパレートキャッシュはマイクロプロセッサとキャッシュメモリとのバンド幅を2倍にできる。従って、キャッシュメモリ240は、従来のセパレートキャッシュとユニファイキャッシュの双方の利点を備えることができる。

【0128】《第12の実施例》図26には本発明のキャッシュメモリを用いたマイクロコンピュータMCUと

メインメモリMM1とのシステムの一例が示されている。マイクロコンピュータMCUは、中央処理装置CPUと、浮動小数点処理ユニットFPU1と、乘算器MULTと、メモリ管理ユニットMMU1と、キャッシュメモリコントローラCONTと、キャッシュメモリCACHEと、32ビットデータバスDBUSと、32ビット論理アドレスバスLABUSと、32ビット物理アドレスバスPABUSと、32ビットデータバスDBSと、外部バスインターフェースSBI-F等から構成され、単結晶シリコン等で形成された単一の半導体基板上に形成される。命令キャッシュとデータキャッシュが混在しているキャッシュメモリの例である。マイクロコンピュータMCUとメインメモリMM1とは外部データバスEDBと外部アドレスバスEABとを介して接続される。メインメモリMM1には、例えばDRAM(Dynamic Random Access Memory)や同期型DRAM(Synchronous DRAM)のようなダイナミック型のメモリセルを用いた半導体メモリが使用される。

【0129】キャッシュメモリCACHEは、例えば、4ウェイ・セット・アソシアティブ方式のキャッシュメモリであり、4組のタグ部とデータ部からなる1次キャッシュメモリ部と4組のタグ部とデータ部からなる2次キャッシュメモリ部とから構成され、1次キャッシュメモリ部のビット線と2次キャッシュメモリ部のビット線が階層スイッチを介して接続されている。前記階層スイッチは、キャッシュコントローラCONTからの信号線によって制御される。1次キャッシュメモリと2次キャッシュメモリとがマイクロコンピュータに内蔵されるため、処理速度の向上が図れる。記憶容量は、1次キャッシュメモリ、2次キャッシュメモリ、メインメモリMM1の順で大きくなり。アクセス時間は、1次キャッシュメモリ、2次キャッシュメモリ、メインメモリMM1の順で大きくなる。1次キャッシュメモリ、2次キャッシュメモリ及びメインメモリMM1でメモリの階層を形成している。

【0130】《第13の実施例》図27には本発明のキャッシュメモリを用いたマイクロプロセッサMPUとメインメモリMM2とのシステムの一例が示されている。マイクロプロセッサMPUは、命令ユニットINSTと、浮動小数点処理ユニットFPU2と、整数処理ユニットIUと、メモリ管理ユニットMMU2と、命令キャッシュメモリINCAと、データキャッシュメモリDCAIと、システムインターフェースSIF等から構成され、単結晶シリコン等で形成された単一の半導体基板上に形成される。データキャッシュメモリと命令キャッシュメモリとが分離された例である。マイクロプロセッサMPUとメインメモリMM2とは外部データバスEDB2と外部アドレスバスEAB2とを介して接続される。メインメモリMM2には、メインメモリMM1同様ダイナミック型のメモリセルを用いた半導体メモリが使用され

る。

【0131】命令キャッシュメモリINCAとデータキャッシュメモリDCAIとは、図26のキャッシュメモリCACHEと同様な構成とすることができます。1次キャッシュメモリと2次キャッシュメモリとがマイクロプロセッサに内蔵されるため、図25の例と同様に処理速度の向上が図れる。なお、デュアルポートメモリをデータキャッシュメモリDCAIに使用した場合は、整数処理ユニットIUと浮動小数点処理ユニットFPUとを別々のデータバスでデータキャッシュメモリDCAIに接続すれば、並列演算処理が可能になり、さらに処理速度が向上する。図26の例と同様に1次キャッシュメモリ、2次キャッシュメモリ及びメインメモリMM2でメモリの階層を形成している。

【0132】第12及び第13の実施例のように1次キャッシュメモリと2次キャッシュメモリをマイクロプロセッサ等の半導体データ処理装置に内蔵するため、ヒット率の高いキャッシュメモリが内蔵できる。ヒット率の高いキャッシュメモリを内蔵することによって、負荷の大きいオフチップメモリのアクセスを減少させることができるので、半導体データ処理装置のみならず、半導体データ処理装置を使用する携帯情報機器全体の消費電力を低減することができる。また、オフチップの読み出し時間の長いメモリのアクセスが減少するので、高速化を図ることができる。

【0133】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることはいうまでもない。例えば、メモリセルは、スタティック型のメモリセルの替りにダイナミック型のメモリセル、不揮発性のメモリセル又は速応メモリセルを用いてもよい。

【0134】また、メモリアレイMAFのメモリセルはスタティック型のメモリセルを使用し、メモリアレイMASのメモリセルはダイナミック型のメモリセルを使用してもよい。さらに、メモリアレイMAFのメモリセルはスタティック型のメモリセルを使用し、メモリアレイMASのメモリセルは不揮発性のメモリセルを使用してもよい。この場合、メモリアレイMASは主記憶として使用してもよい。大容量DRAMや大容量ROM内蔵のマイコンにおいては、メモリアレイMAFがキャッシュメモリとして動作でき高速動作と低消費電力の効果が得られる。

【0135】さらに、本発明は、キャッシュメモリのみならず、メモリ管理ユニットのアドレス変換バッファのTLB(Translation Look-aside Buffer)にも適用できる。

【0136】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記

の通りである。

【図137】すなわち、情報を記憶する複数のメモリセルがアレイ状に形成された複数のメモリセルアレイのピット線をスイッチによって接続することにより、メモリセルアレイの一部を高速・低消費電力にアクセスできる。

【図138】また、前記複数のメモリセルアレイ間に包含関係を持たせれば、実効的に高速・低消費電力な半導体メモリ装置およびキャッシュメモリが実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例であるメモリ装置の構成を示す図。

【図2】本発明の第1の実施例であるメモリ装置の動作を示すタイミングチャートの図。

【図3】一般的なメモリ装置の構成を示す概念図。

【図4】本発明の第2の実施例であるメモリ装置の構成を示す図。

【図5】本発明の第2の実施例であるメモリ装置の動作を示すタイミングチャートの図。

【図6】本発明の第3の実施例であるメモリ装置の構成を示す図。

【図7】本発明の第3の実施例であるメモリ装置の動作を示すフローチャートの図。

【図8】本発明の第4の実施例であるメモリ装置の構成を示す図。

【図9】本発明の第5の実施例であるメモリ装置の構成を示す図。

【図10】本発明の第6の実施例であるメモリ装置の構成を示す図。

【図11】本発明の第7の実施例であるメモリ装置の構成を示す図。

【図12】本発明の第8の実施例であるメモリ装置の構成を示す図。

【図13】本発明の第9の実施例であるメモリ装置の構成を示す図。

【図14】メモリセルの静的雑音余裕を示す図。

【図15】読み出し速度の電源電圧依存性を示す図。

【図16】本発明の第10の実施例に係るキャッシュメモリの論理的イメージを示す図。

【図17】本発明の第10の実施例に係るキャッシュメモリの半導体チップ上のレイアウトイメージを示す図。

【図18】本発明の第10の実施例に係るキャッシュメモリのデータアレイの回路を示す図。

【図19】本発明の第10の実施例に係るキャッシュメモリのデータアレイのシミュレーション波形を示す図。

【図20】本発明の第10の実施例に係るキャッシュメモリのデータアレイの消費電力のシミュレーション結果を示す図。

【図21】本発明の第10の実施例に係るキャッシュメモリの試作したチップの特徴を示す図。

【図22】本発明の第10の実施例に係るキャッシュメモリの試作したチップのプロセスとデバイスパラメータを示す図。

【図23】本発明の第10の実施例に係るキャッシュメモリの試作したチップのデータアレイの測定波形を示す図。

【図24】本発明の第11の実施例に係るキャッシュメモリの論理的イメージを示す図。

【図25】本発明の第11の実施例に係るキャッシュメモリのデータアレイの回路を示す図。

【図26】本発明のキャッシュメモリを内蔵したマイクロコンピュータを用いたシステムのブロック図。

【図27】本発明のキャッシュメモリを内蔵したマイクロプロセッサを用いたシステムのブロック図。

【符号の説明】

MAF、MAS、MAT、HA1……メモリセルアレイ、

TAS、TAF、DAS、DAF……メモリセルアレイ、

M……メモリセル、

D……デュアルポートメモリセル、

WS1、WS2、WSp……ワード線、

WS1T、WS2T、WSpT……ワード線、

WF1、WF2、WFq……ワード線、

WL1、WL2、WLr……ワード線、

WT1、WT2、WTu……ワード線、

SA、SAT、SAU……センスアンプ起動信号、

HSW1、HSW2、HSW3……階層指定信号、

BS1、BS2、BSn……ビット線、

BSS1、BSS2、BSSn……ビット線、

BF1、BF2、BFn……ビット線、

BFB1、BFB2、BFBn……ビット線、

BL1、BL2、BLn……ビット線、

BBL1、BBL2、BBLn……ビット線、

SS1、SSB1、SF1、SFb1……ビット線、

BT1、BTB1……ビット線、

BS1T、BSB1T……ビット線、

BF1T、BFB1T……ビット線、

105、106、107、108、109、110……

ビット線、

SEL0……セレクタ、

SA1、SA2、SA<sub>n</sub>、SA1T……センスアンプ、

SA1U、SA2U、SA<sub>n</sub>U……センスアンプ、

TSA、DSA……センスアンプ、

HS1、HS2、HS<sub>n</sub>……階層スイッチ、

HSB1、HSB2、HSB<sub>n</sub>……階層スイッチ、

TH、DH……階層スイッチ、

HE1、HEB1、HF1、HFB1、HT1、HTB

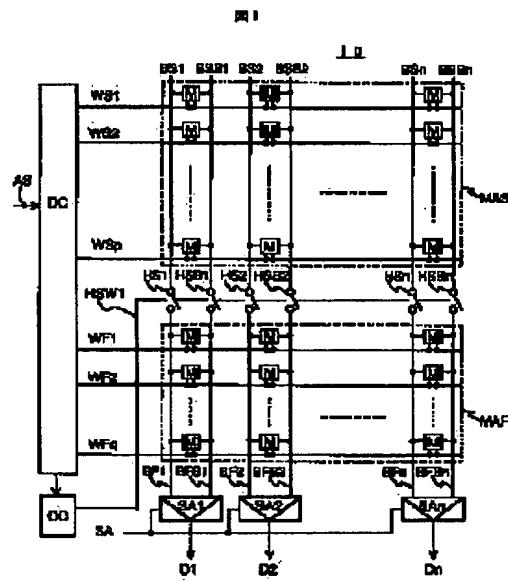
1……階層スイッチ、

HU1、HUB1……階層スイッチ、

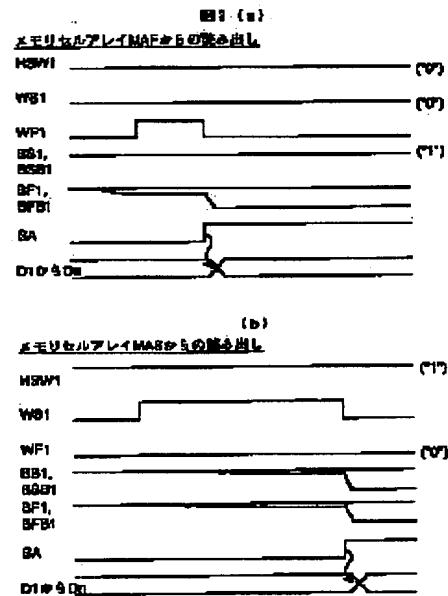
D<sub>1</sub>、D<sub>2</sub>、D<sub>n</sub>……データ出力、  
 D<sub>1T</sub>、D<sub>2T</sub>、D<sub>nT</sub>……データ出力、  
 D<sub>1U</sub>、D<sub>2U</sub>、D<sub>nU</sub>……データ出力、  
 DB<sub>1</sub>、DB<sub>2</sub>、DB<sub>n</sub>……データ出力、  
 DBB<sub>1</sub>、DBB<sub>2</sub>、DBB<sub>n</sub>……データ出力、  
 YSW、YSW<sub>1</sub>、YSW<sub>2</sub>……Yスイッチ信号、  
 EQ<sub>1</sub>……イコライザ、  
 MN<sub>1</sub>、MN<sub>2</sub>、MN<sub>3</sub>、MN<sub>4</sub>、MP<sub>5</sub>、MN<sub>6</sub>、M<sub>N7</sub>、MN<sub>8</sub>、MN<sub>9</sub>、MN<sub>10</sub>、MN<sub>11</sub>、MN<sub>12</sub>……NMOSトランジスタ、  
 MP<sub>1</sub>、MP<sub>2</sub>、MP<sub>3</sub>、MP<sub>4</sub>、MP<sub>5</sub>、MP<sub>6</sub>、M<sub>P7</sub>、MP<sub>8</sub>、MP<sub>9</sub>、MP<sub>10</sub>、MP<sub>11</sub>、MP<sub>12</sub>……PMOSトランジスタ、  
 CMP<sub>1</sub>……比較器、  
 HIT……ヒット信号、  
 100、101、102、103……デコーダ、

MCU……マイクロコンピュータ、  
 CPU……中央処理装置、  
 FPU<sub>1</sub>、FPU<sub>2</sub>……浮動小数点演算処理ユニット、  
 MULT……乗算器、  
 MMU<sub>1</sub>、MMU<sub>2</sub>……メモリ管理ユニット、  
 CCNT……キャッシュメモリコントローラ、  
 CACHE……キャッシュメモリ、  
 DBUS、DBS……32ビットデータバス、  
 LABUS……32ビット論理アドレスバス、  
 PABUS……32ビット物理アドレスバス、  
 EBI<sub>F</sub>……外部バスインターフェース、  
 MPU……マイクロプロセッサ、  
 I<sub>U</sub>……整数演算処理ユニット、  
 INCA……命令キャッシュ、  
 DCA……データキャッシュメモリ、  
 SIF……システムインターフェース。

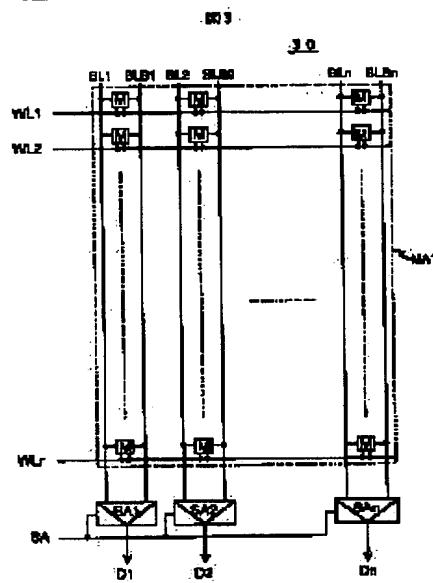
【図1】



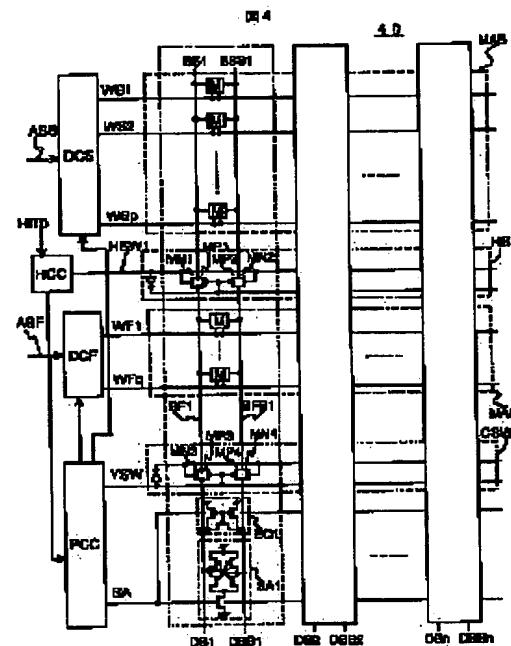
【図2】



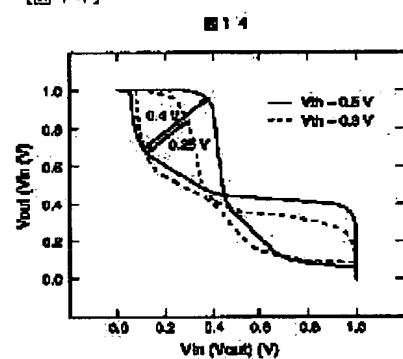
[図3]



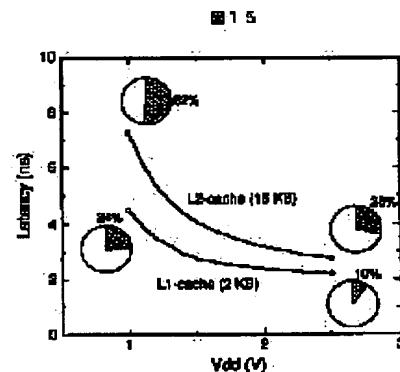
[図4]



[図14]



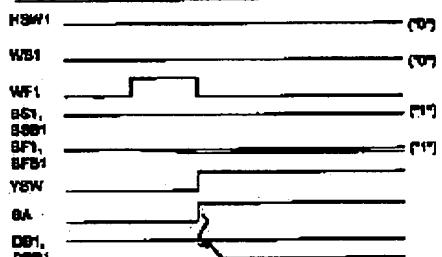
[図15]



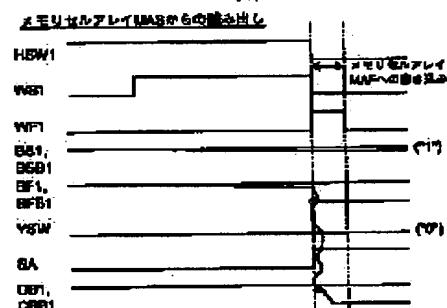
[図5]

図5 (a)

メモリセルアレイ/MAFからの読み出し

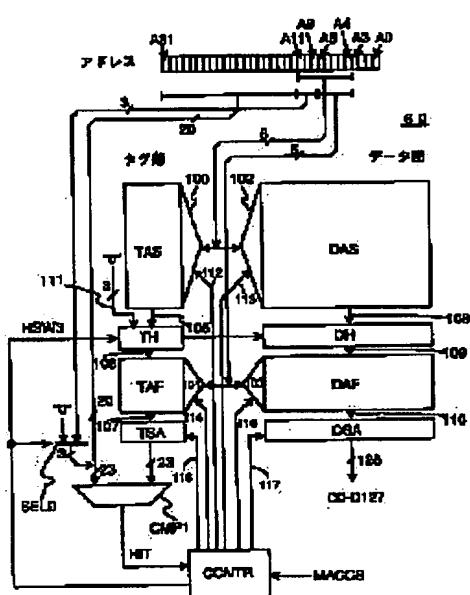


(b)

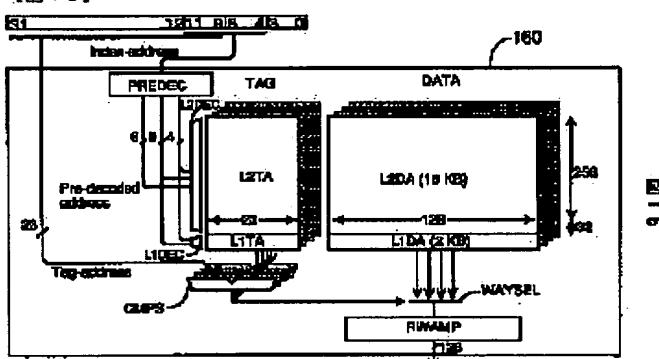


[図6]

図8

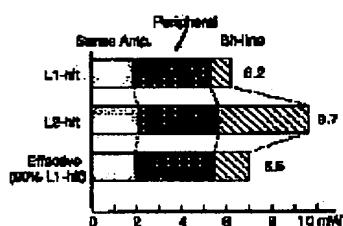


[図16]

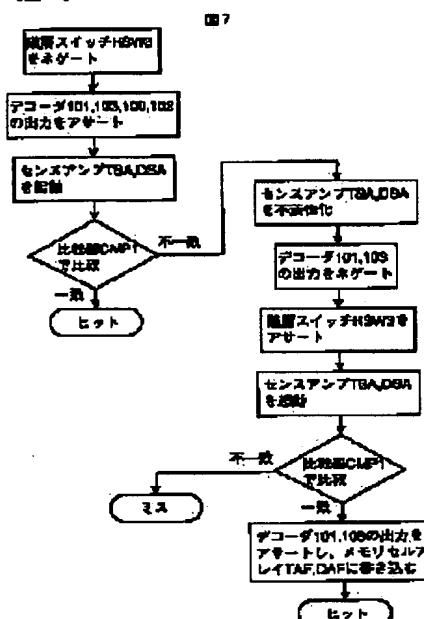


[図20]

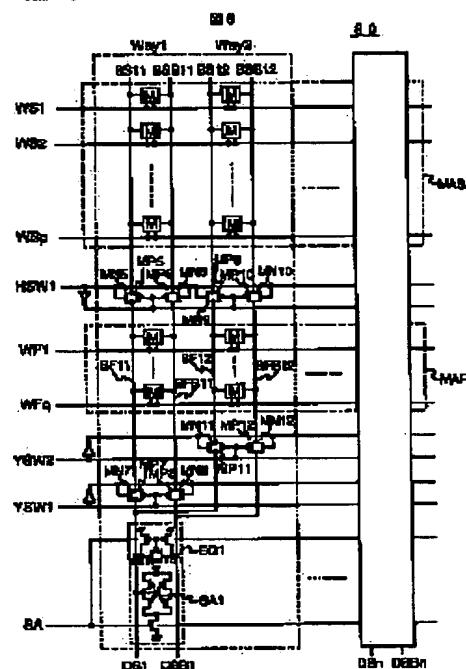
図20



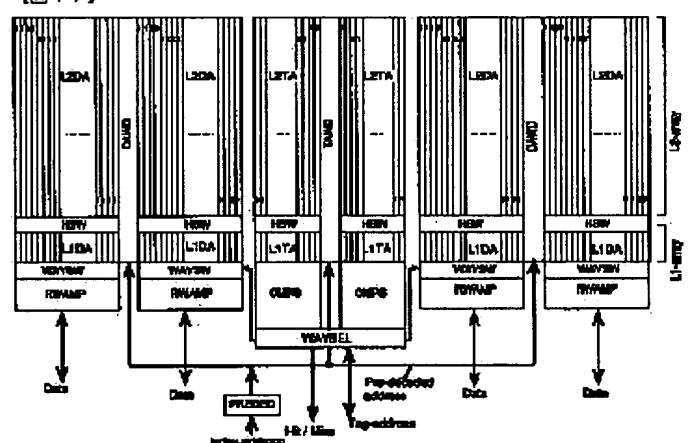
【図 7】



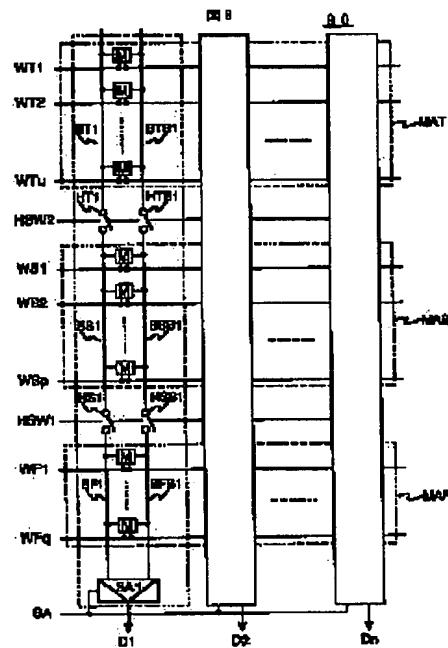
【図 8】



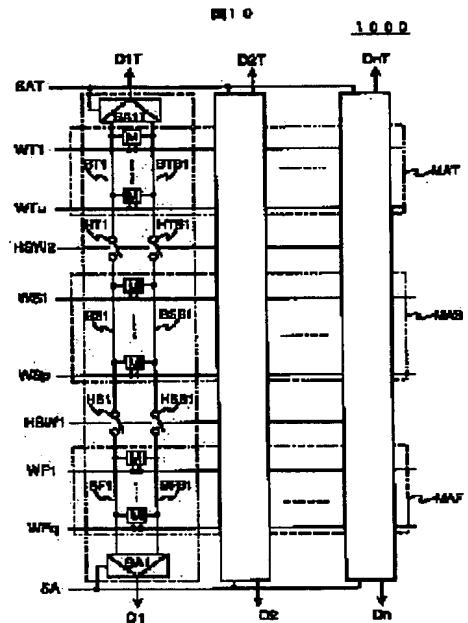
【図 17】



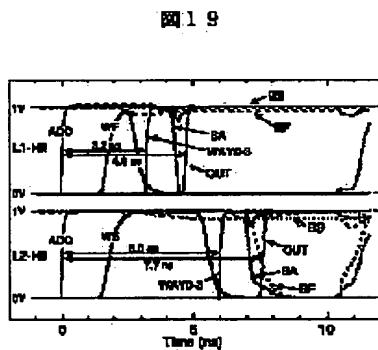
[図 9]



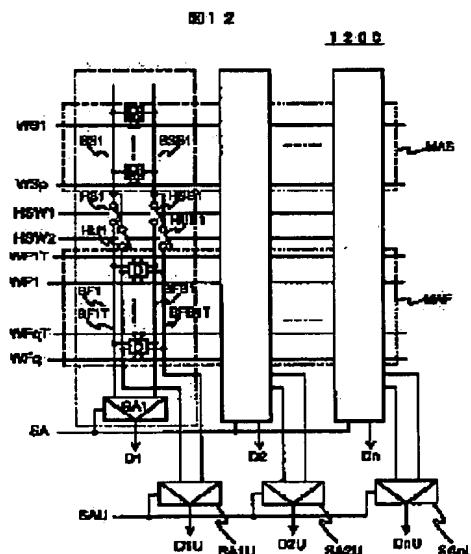
[図 10]



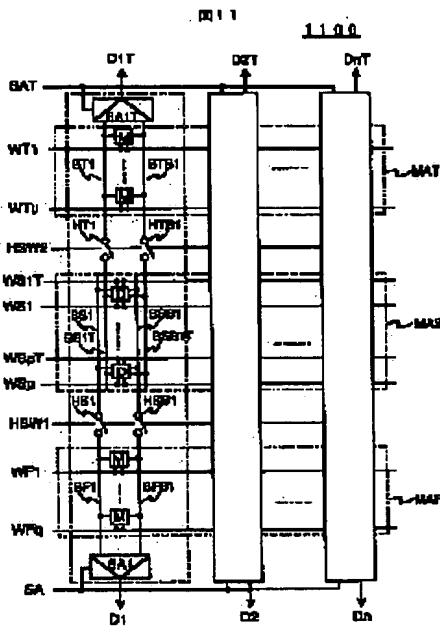
[図 19]



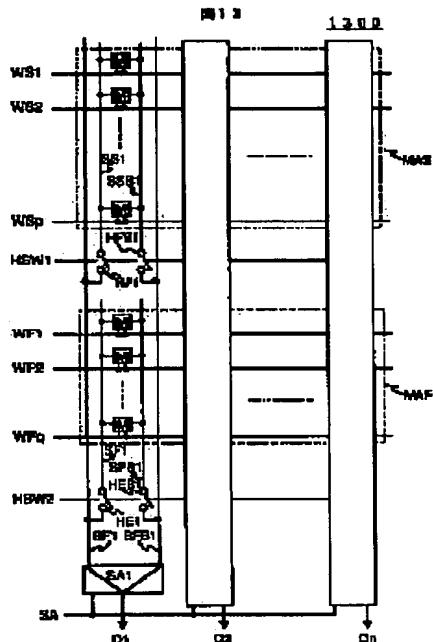
[図 12]



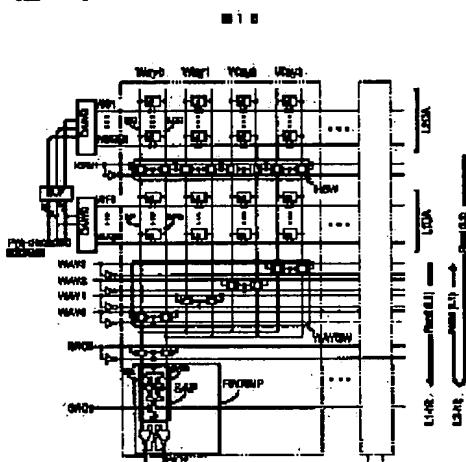
[图 1-1]



[図 1-3]



〔图 18〕



[圖2-1]

Capacity	2 KB (L1-cache) + 16 KB (L2-cache)
Associativity	4-way set-associative
Line size	128 b
Power supply	1.6 V, 10 mW (at LD V, 100 MHz)
Access time	3.6 $\times$ 2.1 nm ( $7.6 \text{ cm}^2$ )

〔図22〕

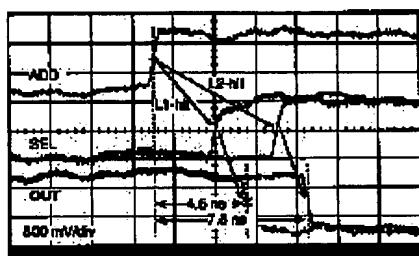
132

Technology	0.25 $\mu$ m CMOS, 3 poly, 3 metal
Memory cell	4-TB (4.25 $\times$ 1.9 $\mu$ m <sup>2</sup> )
16QSRBT cell	4.5 nm
V <sub>th</sub>	0.3 V (n) / -0.3 V (p), Readplus 0.5 V (n) / -0.5 V (p), Memory cell

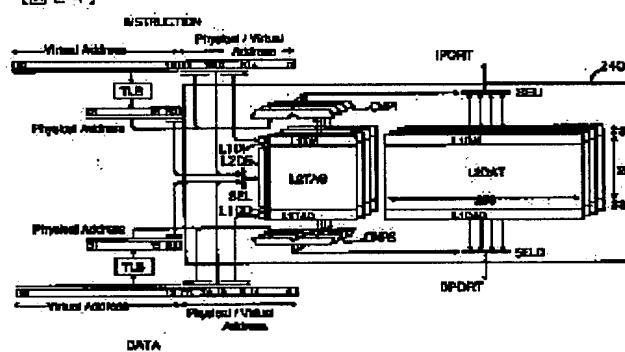
#### • VTO in die Zukunft

[図 2.3]

図 2.3

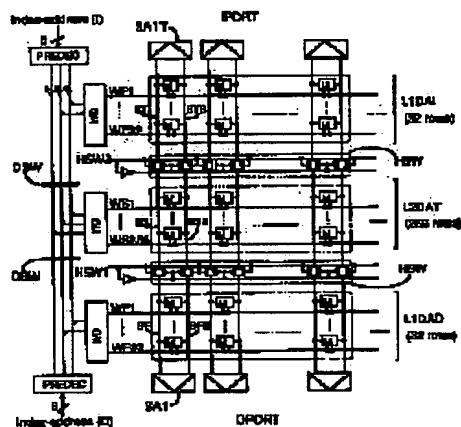


[図 2.4]



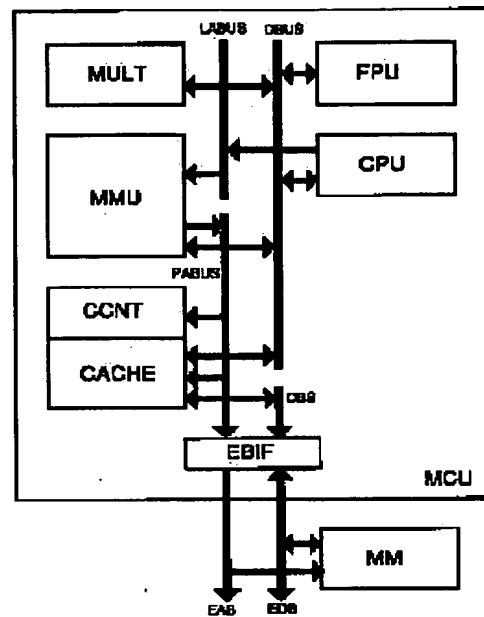
【图25】

四



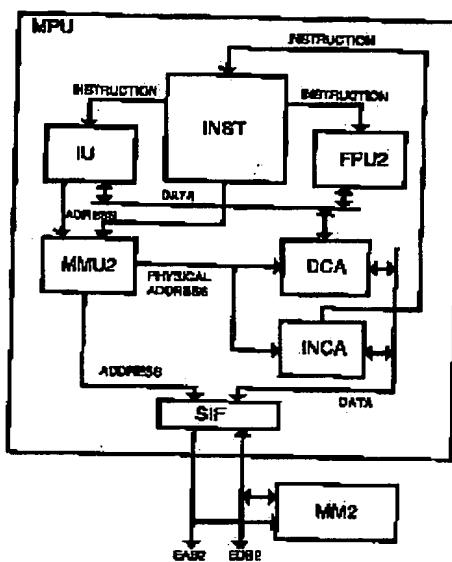
〔圖26〕

圖 2 例



【図27】

図27



---

フロントページの続き

(72)発明者 長田 健一

東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内